

Projeto ULA (Unidade Lógica e Aritmética)

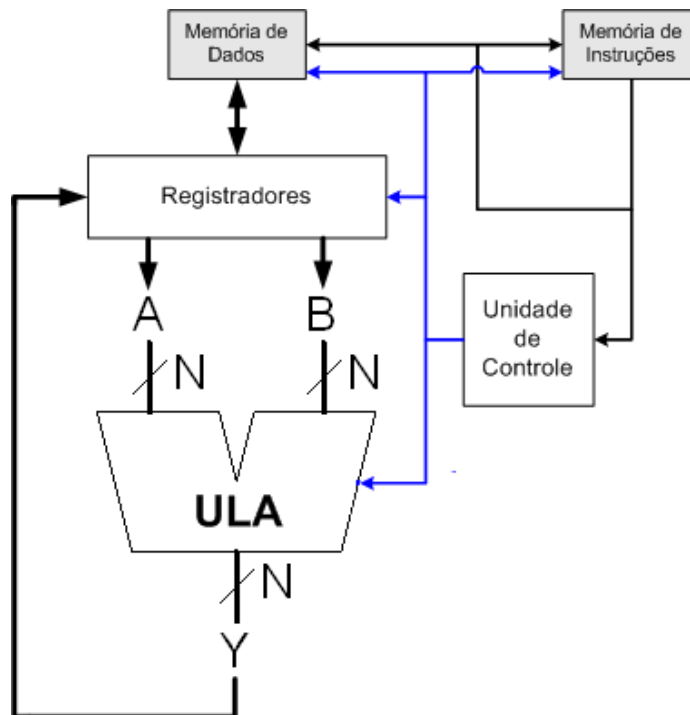
Disciplina: Laboratório de Elementos de Lógica Digital (1/2012)

Prof.: Dr. Vanderlei Bonato

Estagiário PAE: Me. Bruno de Abreu Silva

Uma Unidade Lógica e Aritmética (ULA) combina uma variedade de operações lógicas e matemáticas dentro de uma única unidade. Por exemplo, uma ULA típica pode realizar adição, subtração, comparação de magnitude e operações AND e OR. A figura a seguir apresenta um exemplo de uma ULA de um processador hipotético com entrada e saída de N-bit e um sinal de controle que especifica a operação a realizar. Os dados A e B são obtidos de registradores, os quais podem ser carregados tanto com dados externos, por exemplo, vindos de uma memória externa, ou com o resultado interno produzido pela própria ULA. O registrador que armazena os resultados intermediários/finais produzidos pela ULA é conhecido como acumulador.

Os sinais de controle da ULA são gerados pela unidade de controle de acordo com a instrução a ser executada. A unidade de controle também gera sinais adicionais para o controle dos componentes externos a ULA que estão integrados ao caminho de dados, como a carga/escrita de dados em registradores/memórias externas e etc.



As operações mínimas que deverão ser implementadas pela ULA são apresentadas na tabela 1. A ULA deverá ser de 8-bits, suportar operações em complemento de 2 e indicar o status do resultado das operações de acordo com o seguinte registrador de *flags*:

N	Z	V
---	---	---

N: Ativo quando o resultado da operação for negativo

Z: Ativo quando o resultado da operação for zero

V: Ativo quando a operação causou overflow

Tabela 1: Conjunto mínimo de instruções da ULA

<i>Operação</i>	<i>Descrição</i>
NOT	$A = \text{NOT } A$
AND	$A = A \text{ AND } B$
OR	$A = A \text{ OR } B$
XOR	$A = A \text{ XOR } B$
ADD	$A = A + B$
SUB	$A = A - B$
INC	$A = A + 1$
DEC	$A = A - 1$

Além das instruções processadas pela ULA, também deverão ser implementadas as instruções apresentadas na tabela 2, as quais são voltadas para a carga e manipulação de dados direta nos registradores A e B, sem necessariamente depender da ULA.

Tabela 2: Instruções para carga e manipulação direta de dados

<i>Operação</i>	<i>Descrição</i>
LOAD A, x	Carrega o dado do endereço x da memória de dados no registrador/ acumulador A
LOAD B, x	Carrega o dado do endereço x da memória de dados no registrador B
CLEAR A	Zera A
CLEAR B	Zera B

O aluno tem a liberdade de escolher o modo como os dados e códigos das instruções serão fornecidos a ULA. A exibição dos resultados deverá ser feita na placa de FPGA DE2-70 disponível no laboratório, podendo ser utilizado qualquer recurso disponível na mesma.

O trabalho deverá ser desenvolvido por grupos contendo no máximo 4 alunos. Deverá ser entregue um CD contendo o relatório final de acordo com o modelo disponível na página da disciplina mais os arquivos do projeto desenvolvido no Quartus II.

O trabalho deverá ser entregue **impreterivelmente** até o dia 26/06/2012 pelas DUAS TURMAS.

As apresentações irão ocorrer nos dias 26/06 e 03/07 para as turmas 1 e 2, respectivamente. Na apresentação, cada grupo irá mostrar a execução do hardware desenvolvido e o funcionamento de todas as instruções implementadas.