

USP - ICMC - SSC
SSC 0111 (Lab ELD I) - 2o. Semestre 2011

Disciplina de
Laboratório de Elementos de Lógica Digital I
SSC-0111

Prof. Fernando Osório

Email: fosorio [at] { icmc. usp. br , gmail. com }

Estagiário PAE: Diogo Ortiz Correa

Email: diogosoc [at] { icmc. usp. br }

Web: <http://www.icmc.usp.br/~fosorio/>

Wiki ICMC: [http://wiki.icmc.usp.br/index.php/SSC-111\(fosorio\)](http://wiki.icmc.usp.br/index.php/SSC-111(fosorio))

Aula 09 – ULA e Circuitos Combinacionais

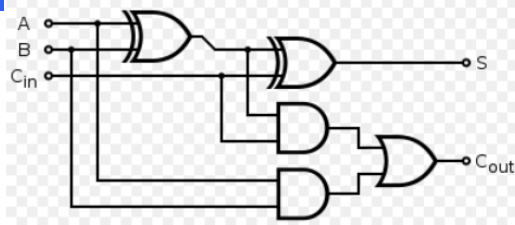
Agenda:

1. Somador / Subtrator
Representação em Complemento de 2
Subtrator e Comparador ($< = >$)
2. Multiplexador / Demultiplexador (Mux/Demux)
Decodificador e Display de 7 segmentos
3. Flip-Flop: Memória de 1 bit (RS, JK, Latch D)
4. Contador (+1)
5. Shift Register: Shift Left ($\times 2$), Shift Right ($\div 2$)

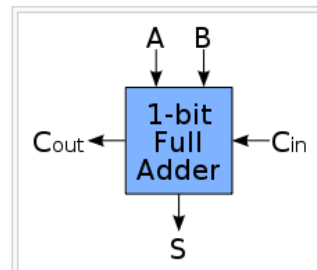
1. ULA: Somador / Subtrator

Diagrama Esquemático

Inputs			Outputs	
A	B	C _{in}	C _{out}	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1



Full-Adder
1 bit



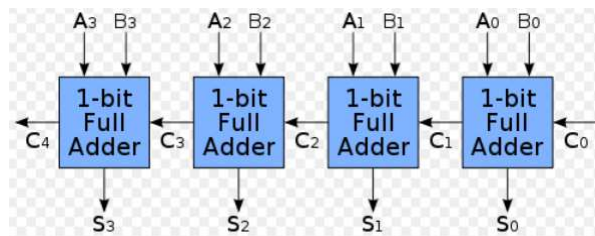
Schematic symbol for a 1-bit full adder with C_{in} and C_{out} drawn on sides of block to emphasize their use in a multi-bit adder

1. ULA: Somador / Subtrator

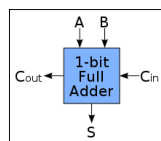
Circuitos Lógicos: Somador

- Full-Adder em Cascata: Somador de 4 bits

Inputs			Outputs	
A	B	C _{in}	C _{out}	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1



Full-Adder 4 bits



Referência – Figuras:
[http://en.wikipedia.org/wiki/Adder_\(electronics\)](http://en.wikipedia.org/wiki/Adder_(electronics))

1. ULA: Somador / Subtrator

Circuitos Lógicos: Subtrator

• Representação em Complemento de 2

Decimal	Binário s/ sinal	Binário (Compl 2)
-8	-	1000
-7	-	1001
-6	-	1010
-5	-	1011
-4	-	1100
-3	-	1101
-2	-	1110
-1	-	1111
0	000	0000
1	001	0001
2	010	0010
3	011	0011
4	100	0100
5	101	0101
6	110	0110
7	111	0111

Decimal	Two's complement
127	0111 1111
64	0100 0000
1	0000 0001
0	0000 0000
-1	1111 1111
-64	1100 0000
-127	1000 0001
-128	1000 0000

Some special numbers to note:

Representação em C2:

- Inverte os bits
- Soma +1

Exemplo:

0011 (3 em binário)
1100 (Invertendo os bits)
1101 (somando +1) = **-3**

Aritmética:

$A + B = C$
 $A + (-B) = A - B = C$
Sendo -B em Complemento de 2

8 Bits:

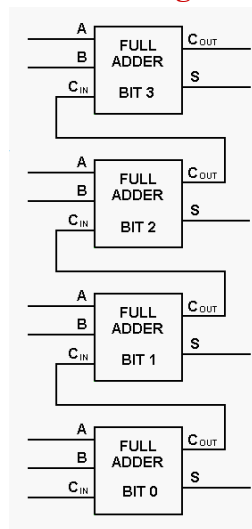
Sem Sinal => 0 a 255

Com Sinal => -128 a +127

Referência – Figuras:
http://pt.wikipedia.org/wiki/Complemento_para_dois

1. ULA: Somador / Subtrator

Circuitos Lógicos: SOMADOR PURO



Somador e Subtrator de 4 bits

- Obtém automaticamente a representação em Complemento de 2
- Permite implementar uma ULA com as operações **ADD** e **SUB**

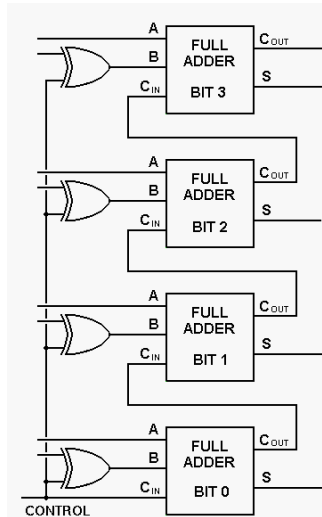
Observação: 4 bits

Soma => Representa valores de 0 a 15

Referência – Figuras:
<http://www.play-hookey.com/digital/adder.html>

1. ULA: Somador / Subtrator

Circuitos Lógicos: SOMADOR E SUBTRATOR



Somador e Subtrator de 4 bits

- Obtém automaticamente a representação em Complemento de 2
- Permite implementar uma ULA com as operações **ADD** e **SUB**

Observação: 4 bits

Soma => Representa valores de 0 a 15

Subtr.=> Representa valores de -8 a 7

Resultado:

Puro (ADD) ou Complemento de 2 (SUB)

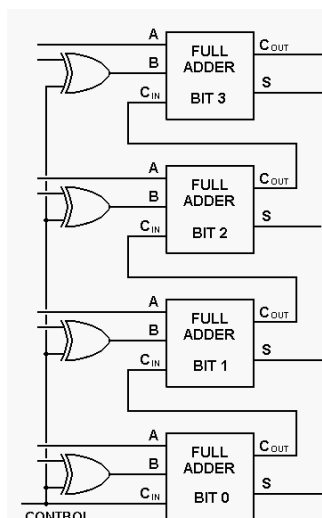
Referência – Figuras:
http://www.play-hookey.com/digital/binary_subtraction.html

7

Agosto 2008

1. ULA: Somador / Subtrator

Circuitos Lógicos: COMPARADOR



Comparador de 4 bits

Determinar se

A é igual a B =

A é maior que B >

A é menor que B <

Solução:

A – B onde considera os Flags **N, Z**

Se Flag Z (Zero) Então **Iguais**

Se Flag N (Negative) Então B é **Maior**

Caso contrário Então B é **Menor**

Referência – Figuras:
http://www.play-hookey.com/digital/binary_subtraction.html

8

Agosto 2008

1. ULA: Somador / Subtrator

Circuitos Lógicos: COMPARADOR

- Comparador de 4 bits Alternativo

Para verificar se 2 valores são IGUAIS

A é IGUAL a B se todos os BITS são iguais [$A \text{ XOR } B = \text{ZERO}$]

Truth table

The truth table of $A \oplus B$
(also written as $A \text{ XOR } B$
or $A \neq B$) is as follows:

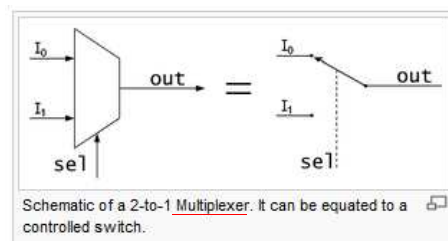
XOR Truth
Table

Input		Output
A	B	
0	0	0
0	1	1
1	0	1
1	1	0

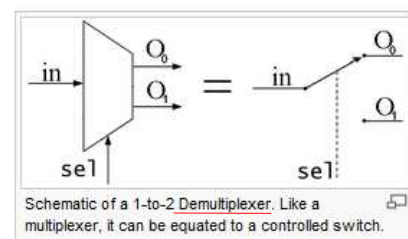
Entretanto, não indica qual dos dois
é o Maior ou o Menor

2. Multiplexador / Demultiplexador

Circuitos Lógicos: Multiplexador / Demultiplexador



Multiplexador



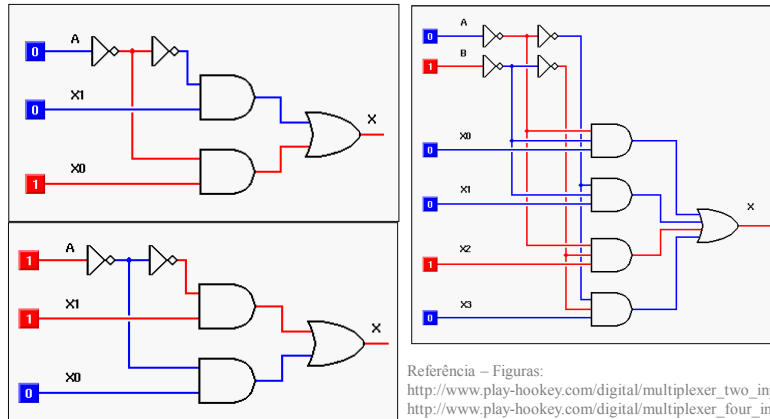
Demultiplexador

2. Multiplexador / Demultiplexador

Circuitos Lógicos: Multiplexador / Demultiplexador

Multiplexador => Seleciona qual das 'N' entradas deve sair

Usado na ULA para selecionar entre ADD, AND, OR, NOT



11

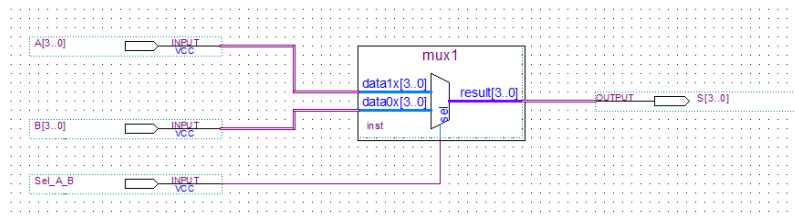
Agosto 2008

2. Multiplexador / Demultiplexador

Circuitos Lógicos: Multiplexador / Demultiplexador

Multiplexador => Seleciona qual das 'N' entradas deve sair

QUARTUS II: Insert Symbol



12

Agosto 2008

2. Decodificador

Circuitos Lógicos: Decodificador

Decodificador para Visor de 7 Segmentos / Decodificador Binário



7-Segment Displays

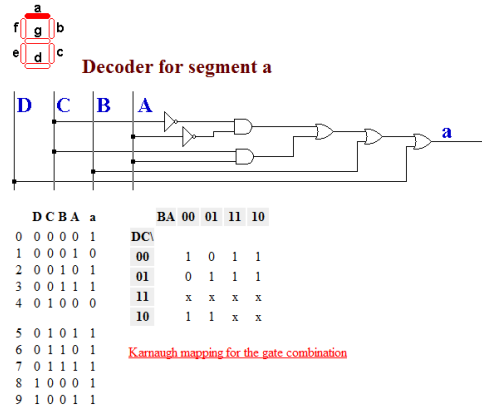


7-Segment Displays

...



7-Segment Displays



13

Agosto 2008

Referência – Figuras: <http://www.physics.udel.edu/~watson/phys345/class/17-decoder.html>

Flip-Flop, Registradores, Memória Contador, Shift Register, ...

Continua...

Na próxima aula!

14

Agosto 2008



INFORMAÇÕES SOBRE A DISCIPLINA

USP - Universidade de São Paulo - São Carlos, SP
ICMC - Instituto de Ciências Matemáticas e de Computação
SSC - Departamento de Sistemas de Computação

LRM – Laboratório de Robótica Móvel

Web LRM: [Http://lrm.icmc.usp.br/](http://lrm.icmc.usp.br/)

Página pessoal: [Http://www.icmc.usp.br/~fosorio/](http://www.icmc.usp.br/~fosorio/)

E-mail: [fosorio \[at\] { icmc. usp. br , gmail. com }](mailto:fosorio@icmc.usp.br) – F.Osório

E-mail: [diogosoc \[at\] { icmc. usp. br }](mailto:diogosoc@icmc.usp.br) - Diogo Correa (PAE)

Disciplina de Laboratório de Elementos de Lógica Digital I [LELD1]

Web Disciplinas: [Http://www.icmc.usp.br/~fosorio/](http://www.icmc.usp.br/~fosorio/)

Web Wiki: [Http://wiki.icmc.usp.br/index.php/SSC-111](http://wiki.icmc.usp.br/index.php/SSC-111)

> Programa, Material de Aulas, Critérios de Avaliação,

> Material de Apoio, Trabalhos Práticos