

**USP - ICMC - SSC  
SSC 0610 - Eng. Comp. - 2o. Semestre 2010**

## **Disciplina de Organização de Computadores I**

**Prof. Fernando Santos Osório**

**Email: fosorio [at] { icmc. usp. br , gmail. com }**

**Página Pessoal: <http://www.icmc.usp.br/~fosorio/>**

**Estagiário PAE Maurício Dias - Email: maccddias [at] gmail.com**

**Material on-line Wiki ICMC - <http://wiki.icmc.usp.br/index.php/Ssc-610>**

***Aula 08q***

## **Aula 06 - Tópicos Abordados**

### **Conteúdos Abordados:**

- 1. CPU: Técnicas de Otimização**
  - > Técnicas de Pipeline
  - > Pré-Fetch de Instrução
  
- 2. Memória - Organização da Memória**
  - > Hierarquia de Memória
  - > Registradores
  - > Memória Cache
  - > Memória Principal
  - > Memória Secundária
  - > Memória Virtual

## 1. CPU: Técnicas de Otimização

### CPU: Otimizações

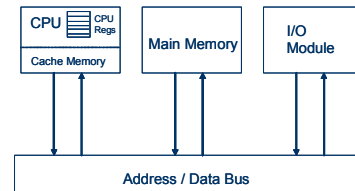
**Interno as Instruções:**  
Pipeline de Execução,  
Paralelismo Interno no Processador

#### Acesso a Memória:

- Busca Antecipada / Pré-Carga (*Pre-Fetch*)
- Memória Cache
- Uso de Registradores:  
Evitar acessos desnecessários a Memória Principal  
Laços em CPU/Registradore: contadores, somadores, etc.

#### Acesso a Dispositivos Externos

- Entrada e Saída “otimizada”
- Interrupções e DMA (*Direct Memory Access*)



3

Set. 2009

## 1. CPU: Técnicas de Otimização

### CPU: Otimizações

#### Memória:

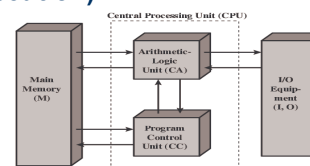
Registradores x Memória Principal x Memória Secundária  
(Interno a CPU) (RAM/ROM) (Disco / Fita)

#### Intruções / Execução:

- Pipeline de Execução
- Conjunto amplo de Registradores Internos
- Cache On Board
- Cache On board: L1 & L2
- Pré-Carga (*Pre-Fetch*) e Predição de Desvios (*Branch prediction*)
- Análise de Fluxo de Execução (*Data flow analysis*)
- Execução Especulativa (*Speculative execution*)

#### E/S:

- Interrupções
- DMA (*Direct Memory Access*)



4

Set. 2009

## 1. CPU: Técnicas de Otimização

### CPU: Otimizações

#### Instruções / Execução:

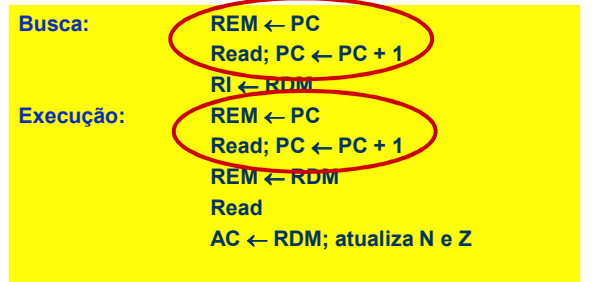
- Pipeline de Execução - Explorando o paralelismo na execução

#### Neander: Instrução LDA (carrega acumulador)

**Simbólico:** LDA end

**RT:** AC ← MEM(end)

**Passos no nível RT:**



## 1. CPU: Técnicas de Otimização

### CPU: Otimizações

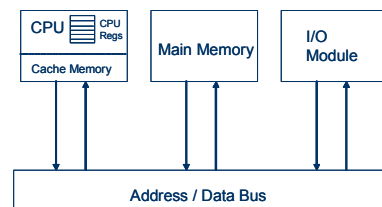
#### Instruções / Execução:

- Pipeline de Execução - Explorando o paralelismo na execução

Paralelismo entre etapas da execução de uma instrução

- > Busca da Instrução
- > Incrementa o PC
- > Busca do Operando
- > Incrementa o PC
- > Armazena o Resultado
- > Decodifica Instrução
- > Executa Instrução (ULA, E/S, ...)
- > Busca da próxima instrução

Registrador  
Memória  
Cache



Pipeline de Execução

## 1. CPU: Técnicas de Otimização

### Pipeline

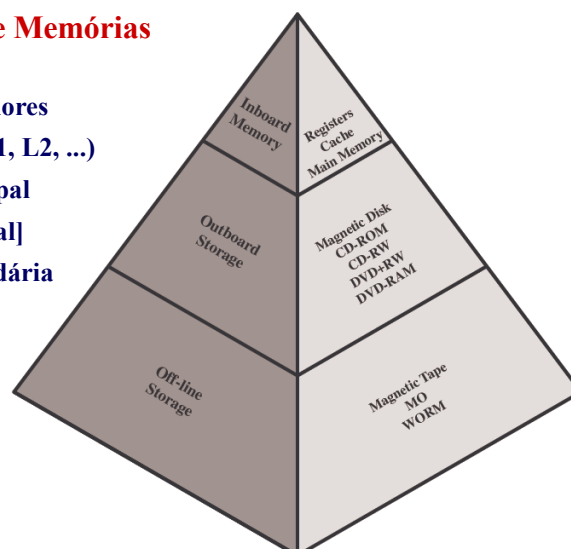
Ciclos de Operação da CPU  
Estágios do Pipeline  
Pre-Fetch  
Previsão de Desvio

Material complementar  
William Stallings  
Computer Organization and Architecture (Book)  
Chapter 12 [Trad. E.Simões / F.Osório]

## 2. Memória: Organização da Memória

### Hierarquia de Memórias

**CPU - Registradores**  
**CPU - Cache (L1, L2, ...)**  
**Memória Principal**  
**[Memória Virtual]**  
**Memória Secundária**



## 2. Memória: Organização da Memória

### Performance

- Tempo de Acesso / *Access time*
  - Tempo entre apresentar o endereço e obter o dado válido.
- Ciclo de Memória / *Memory Cycle time*
  - Tempo que pode ser necessário para a memória se "recuperar" antes de um próximo acesso.
  - Tempo de ciclo = *access* + *recovery*
- Taxa de Transferência / *Transfer Rate*
  - Taxa na qual os dados são movidos.

## 2. Memória: Organização da Memória

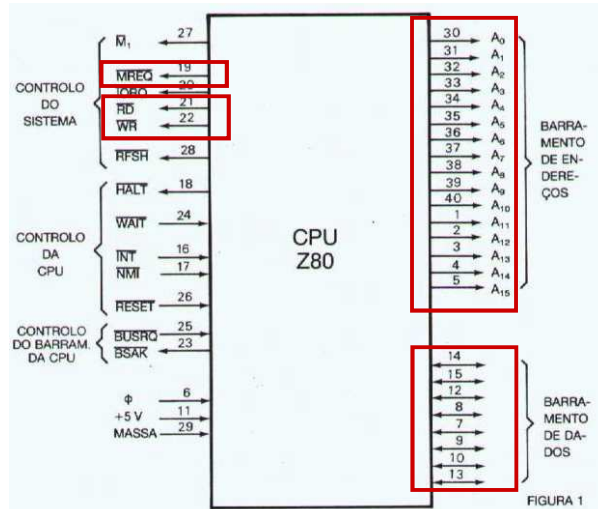
### Tipos Físicos de Memórias

- Semicondutor
  - RAM (SRAM, DRAM), ROM, Flash
- Magnética
  - Disco e Fita
- Ótica
  - CD & DVD
- Outros
  - Bubble memory
  - Holográfica

## 2. Memória: Organização da Memória

### Memória RAM e ROM

ZX Spectrum  
Z80



## 2. Memória: Organização da Memória

### Características Físicas

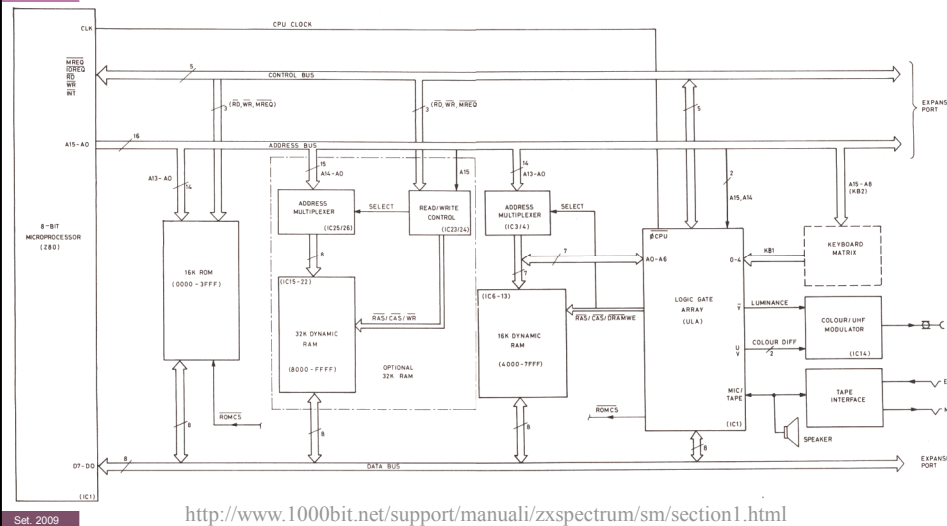
- Decaimento (*Decay*)
- Volatilidade (*Power off*)
- Gravável (*Erasable*)
- Consumo de energia
- Velocidade de acesso
- Capacidade de armazenamento

DRAM  
SRAM  
ROM  
PROM  
FLASH

## 2. Memória: Organização da Memória

### DRAM + Refresh + I/O (Video)

ZX Spectrum  
 Z80



## 2. Memória: Organização da Memória

### DRAM + Refresh + I/O (Video)

ZX Spectrum  
 Z80

#### Dynamic Memory Refresh

The CPU incorporates built-in **dynamic RAM refresh circuitry**. As part of the instruction OP code fetch cycle, the CPU performs a memory request after first placing the refresh address on the lower eight bits of the address bus. At the end of the cycle the address is incremented so that over 255 fetch cycles, each row of the dynamic RAM is refreshed.

This mechanism only applies to the optional 32k expansion RAM in the the 48k Spectrum. An alternative refresh method is adapted for the standard 16k RAM.

#### MEMORY ORGANISATION

In the standard 16k Spectrum there are 32k bytes of addressable memory equally divided between **ROM** and **RAM**.

**The lower 16k bytes of memory (addresses 0000 - 3FFF)** are implemented in a **ROM (IC5)** which holds the monitor program. This program is a complex Z80 machine code program divided broadly into three parts one each covering the input/output routines, the BASIC interpreter and expression handling.

**The upper 16 bytes of memory (addresses 4000 - 7FFF)** are implemented using eight 16k bit **dynamic RAMs (IC6-IC13)**. Approximately half of this space is available to the user for writing BASIC or machine code programs.

The remainder is used to hold the system variables including 6k bytes reserved for the memory mapped **display area**.

## 2. Memória: Organização da Memória

### DRAM + Refresh + I/O (Video)

ZX Spectrum  
Z80

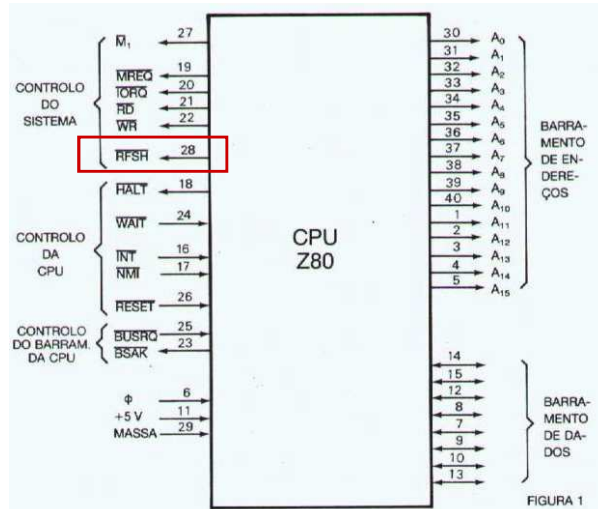


FIGURA 1

## 2. Memória: Organização da Memória

### Organização

- Arranjo físico dos bits em palavras
- Nem sempre é óbvia
  - e.g. memória entrelaçada (*interleaved*)
  - páginas de memória
  - memória em planos de bits ( $mk \times nbits$ )



## 2. Memória: Organização da Memória

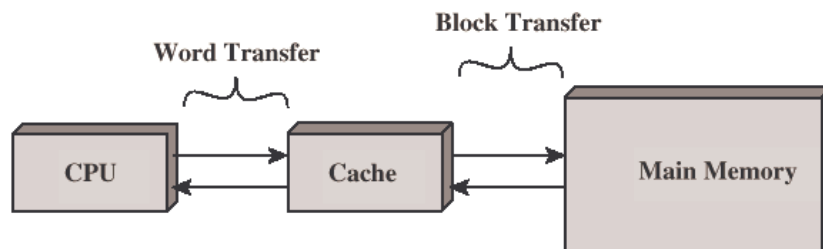
### Lista de Hierarquia

- Registradores
- Cache L1
- Cache L2
- Memória principal
- Cache de Disco
- Disco
- Ótica
- Fita

## 2. Memória: Organização da Memória

### Cache

- Pequena quantidade de memória mais rápida
- Se localiza entre a CPU e a Memória Principal
- Pode fazer parte do chip da CPU ou de um módulo



## 2. Memória: Organização da Memória

### Operação do Cache – Visão Geral

- ❑ CPU requer o conteúdo de uma posição de memória
- ❑ Verifica se o dado deste endereço está no **cache**
- ❑ Se **tem no cache**, localiza e lê os dados, lê da **memória cache** (+ rápida)
- ❑ Se **não tem no cache**, lê os dados (bloco de dados) da **memória principal** para a memória cache
- ❑ Repassa os dados do cache para a CPU
- ❑ O cache inclui tags (marcas) para identificar qual bloco da memória principal que está em qual bloco (slot) slot do cache.

19

Set. 2009

## 2. Memória: Organização da Memória

### Projeto do Cache

- Tamanho
- Função de Mapeamento
- Algoritmo de Atualização
- Política de escrita
- Tamanho do bloco
- Número de caches

20

Set. 2009

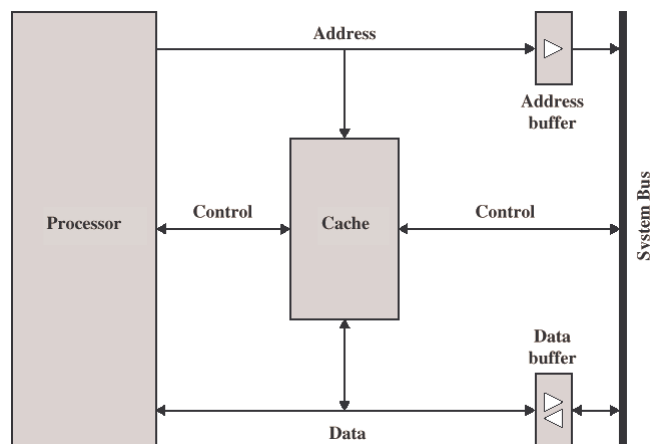
## 2. Memória: Organização da Memória

### Size does matter (“Tamanho faz diferença”)

- Custo
  - O custo de ter mais memória de cache é elevado.
- Velocidade
  - Mais cache => Mais rápido (até certo ponto);
  - Verificar os dados presentes no cache consome um certo tempo.

## 2. Memória: Organização da Memória

### Organização Típica de Cache





INFORMAÇÕES SOBRE A DISCIPLINA

**USP - Universidade de São Paulo - São Carlos, SP**  
**ICMC - Instituto de Ciências Matemáticas e de Computação**  
**SSC - Departamento de Sistemas de Computação**

**Prof. Fernando Santos OSÓRIO**

**Web institucional: <http://www.icmc.usp.br/ssc/>**

**Página pessoal: <http://www.icmc.usp.br/~fosorio/>**

**E-mail: [fosorio \[at\] icmc. usp. br](mailto:fosorio@icmc.usp.br) ou [fosorio \[at\] gmail. com](mailto:fosorio@gmail.com)**

**Disciplina de Organização de Computadores I / Eng. Comp.**

**Estagiário PAE: Maurício A. Dias**

**Web disciplina: <http://wiki.icmc.usp.br/index.php/Ssc-610>**

**> Programa, Material de Aulas, Critérios de Avaliação,**

**> Lista de Exercícios, Trabalhos Práticos, Datas das Provas**