



# Intel® Xeon Phi Processor

Matheus Cabral Manoel

Caio Menezes



# Xeon Phi: O que é?

- Desenvolvido pela Intel.
- Série de processadores e “co-processadores” com arquitetura MIC (Many Integrated Core).
- Inspirado no GPGPU Larrabee, que foi descontinuado em 2010.



# Histórico

## Knights Ferry

Anunciado em 2010  
Projeto protótipo  
32 cores, 1,2GHz, 4  
threads por core

## Knights Corner

Anunciado em 2012  
Primeiro MIC  
comercial  
61 cores, 1,053GHz,  
4 threads por core

## Knights Landing

Anunciado em 2013  
Lançado em 2016  
2º geração da  
arquitetura MIC  
72 cores

-Processador e  
\**co-processador*  
-Aplicabilidade para  
aprendizado de  
máquina.

## Knights Hill

Anunciado em 2014  
Nunca foi lançado

- Aurora  
(Supercomputador do  
Departamento de  
Energia dos EUA)

## Knights Mill

Lançado em 2017  
72 cores

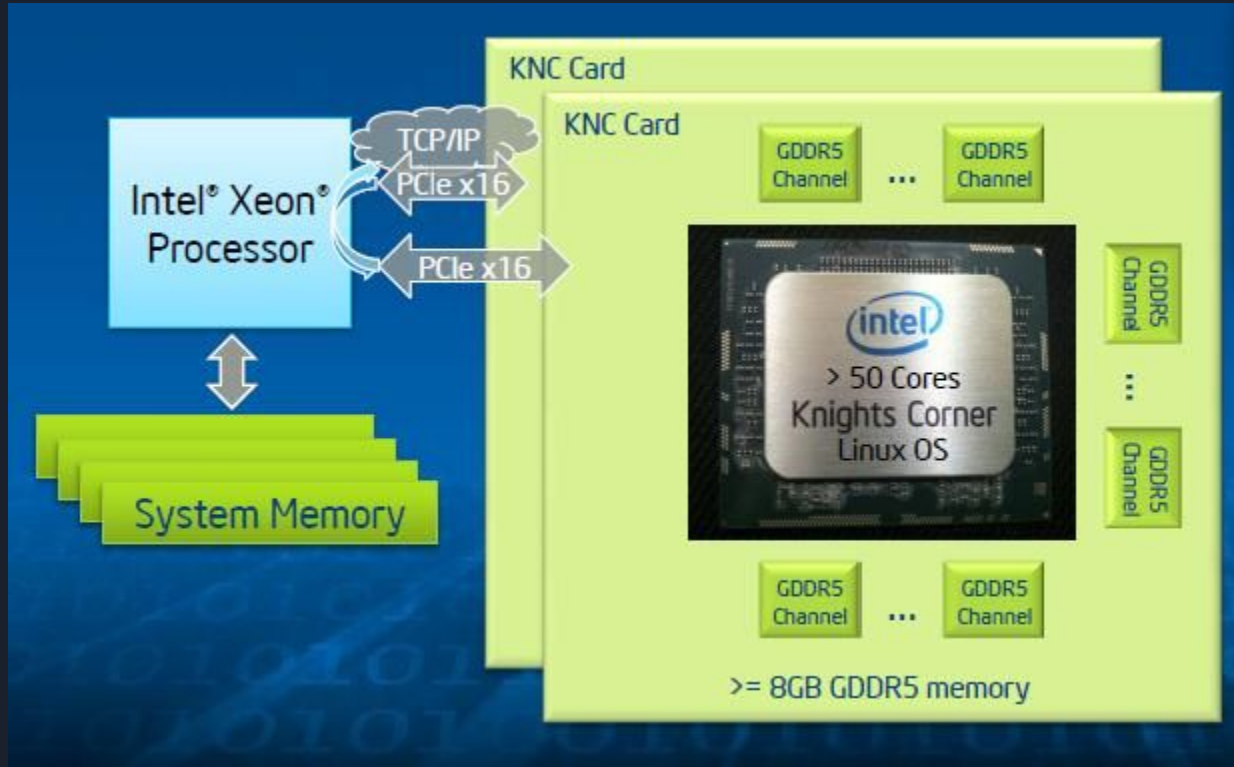
-Especializado em  
Deep Learning

# Knights Corner

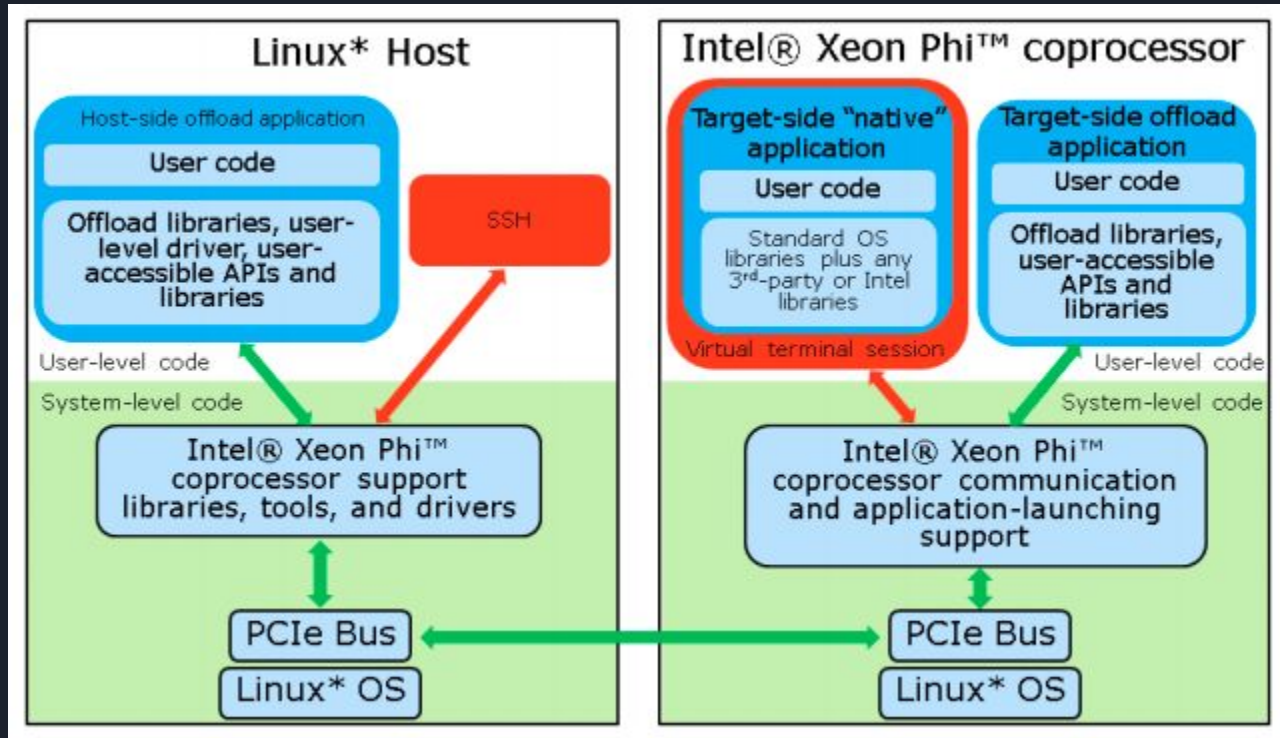
- 61 cores, 244 threads, 8GB de DDR5 e 1TFLOPs.
- “Co-processor”, ou “supercomputador em uma placa”.
- Apresenta-se ao host como outro computador.
- Virtualiza uma conexão TCP-IP com o host através do barramento PCIe.
- Roda sistema operacional Linux.



# Knights Corner: Hardware Stack



# Knights Corner: Software Stack





# A quem se destina?

- HPC (High Performance Computing):
  - Sequenciamento genético.
  - Simulações de modelos matemáticos.
  - Prospecção de petróleo.
  - Síntese de proteínas.
  - Previsão do tempo.
  - Estudos geofísicos.
  - Aplicações que fazem uso massivo do processamento paralelo e que tiram proveito de seus mecanismos de vetorização.

# Vetorização

- Técnica para aumentar a capacidade de processamento de cálculos envolvendo vetores.
- SIMD (Single Instruction Multiple Data).

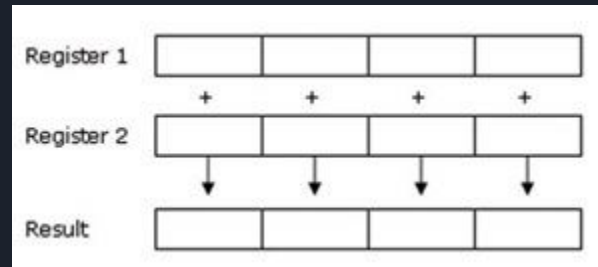


Imagem 3

- Registrador de 512 bits, processando em uma única operação 8 números floating-point de dupla precisão (64 bits) ou 16 de precisão simples.



# Arquitetura

- Versão do Pentium otimizada.
- 512K de cache L2 dedicada.
- 16 canais de memória de 5.5Gbit cada, implementando 8GB de memória.
- Componentes conectados por barramento em anel bidirecional.
- Cada core implementa uma unidade escalar e uma vetorial.

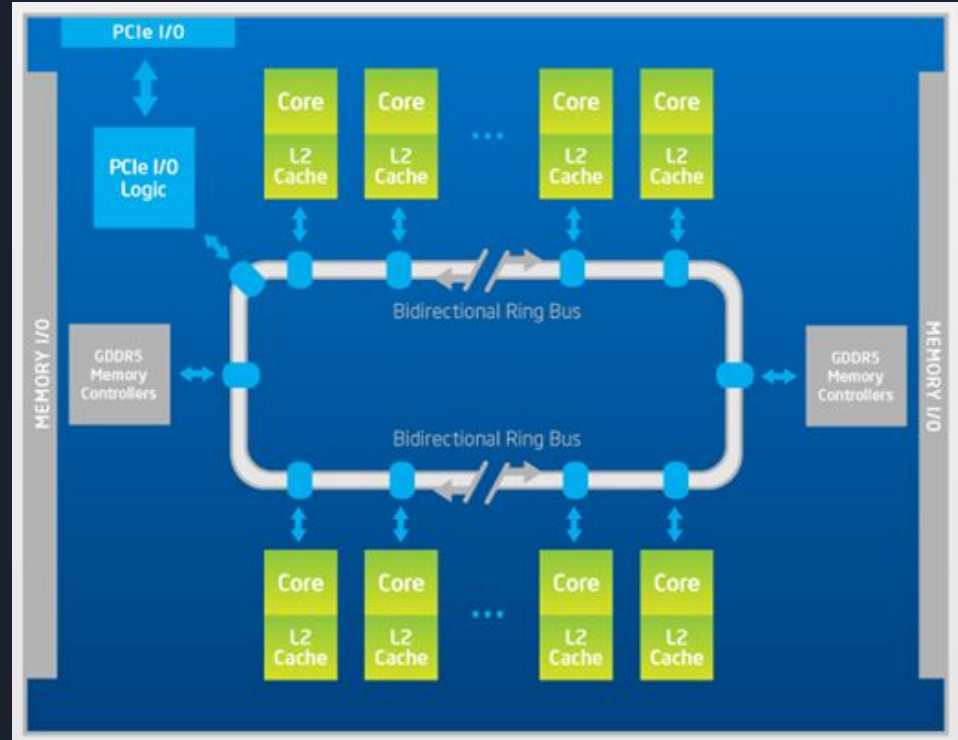


Imagem 4

# Arquitetura

- Implementa FMA (Fused Multiply-Add), podendo realizar 2 operações simultâneas nos registros.
- Cada core pode executar 4 threads simultâneas. Num só chip, podemos ter 244 threads rodando ao mesmo tempo.
- Smart round-robin multi-threading: a cada ciclo, uma das threads sempre estará concluindo uma operação.

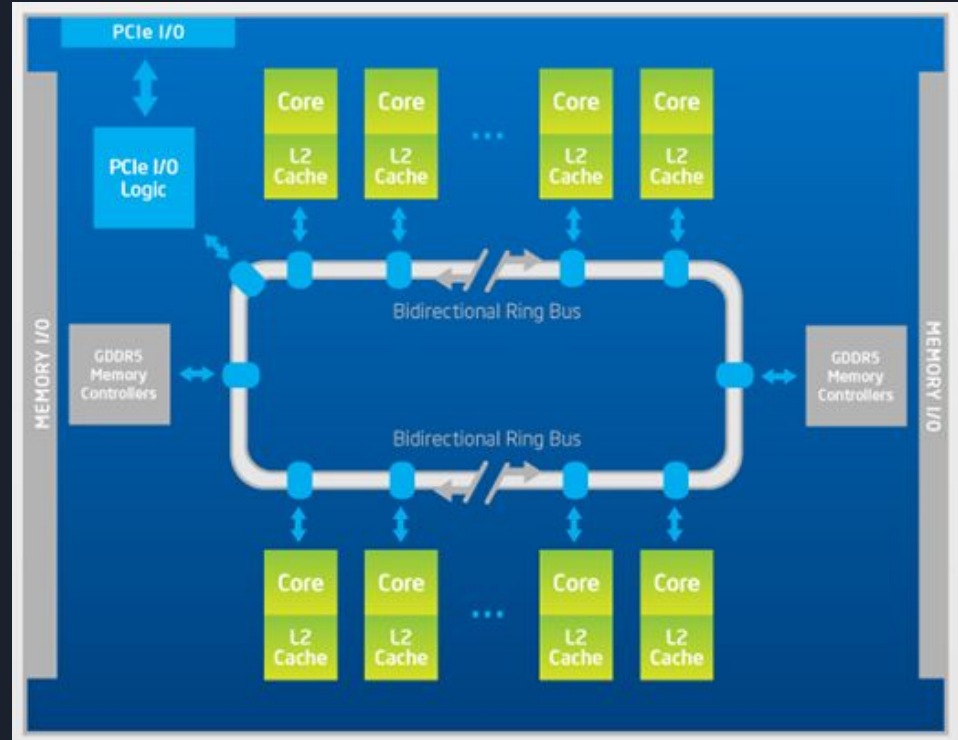


Imagem 4

# Resultado



1997: THE FIRST INTEL® TERAFLUP COMPUTER consisted of: **9,298** INTEL PROCESSORS and occupied: **72** SERVER CABINETS

THE INTEL® XEON® PHI™ COPROCESSOR will provide: **1** TERAFLUP OF PERFORMANCE and occupy: **1** PCIe SLOT



Imagem 5

- **Precisão dupla:**  
 $61 * 1,053 \text{ (GHz)} * 1 * 8 * 2 = 1.027 \text{ GFlops} \rightarrow \mathbf{1 \text{ TFlops}}$
- **Precisão simples:**  
 $61 * 1,053 \text{ (GHz)} * 1 * 16 * 2 = 2.055 \text{ GFlops} \rightarrow \mathbf{2 \text{ TFlops}}$



# Bibliografia

- Imagem 1, 3, 4, 5: [O que é o Intel Xeon Phi e como ele atinge o impressionante processamento de 1-tflops](#), Luciano Palma (Intel)
- Imagem 2: [Intel® Xeon Phi™ Coprocessor DEVELOPER'S QUICK START GUIDE](#), Intel
- [The Intel® Many Integrated Core Architecture](#), Alejandro Duran e Michael Klemm
- [Test Driving Intel Xeon Phi](#), Jianbin Fang, Henk Sips, Lilun Zhang, Chuanfu Xu, Yonggang Che, Ana Lucia Varbanescu