

# SSC0109 - Prática em Lógica Digital

## Projeto Final (1º Sem/2018)

O projeto consiste na implementação de uma Unidade Lógica e Aritmética (ULA) em hardware utilizando como base o dispositivo FPGA (Field-Programmable Gate Array). A ULA deverá operar sobre dados com largura de 4 bits e representação numérica em complemento de dois. A seguir é apresentado o conjunto de operações a ser implementado pela ULA com os seus respectivos códigos de operação existentes entre os parênteses.

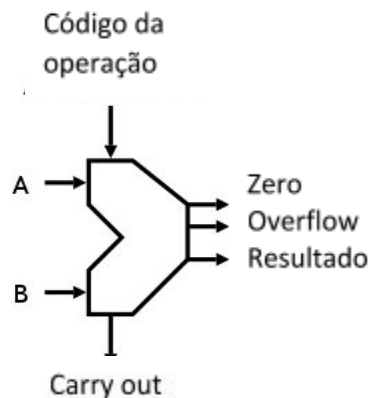
Lógicas: NOT (0001), AND (0010), OR (0011), NAND (0101), NOR (0110), XOR (0111)

Aritméticas: ADD (1000), SUB (1001), DIV (1010), MUL (1011)

Deslocamentos\*: ShiftL(1100), ShiftR(1101), RotL(1110), RotR(1111)

\* Os deslocamentos ShiftL (<<) e ShiftR (>>) são do tipo aritmético, ver final do documento para mais informações

A ULA deverá ser vista como um único componente de hardware, tendo com entrada os valores para os operandos A e B e os códigos de operação. A saída deverá mostrar o resultado das operações considerando 4 bits de largura e as indicações (bit de status) de overflow, carry out e de resultado igual a zero (1 bit cada), sendo que as indicações valem para as operações aritméticas.



Os valores de A e B e o códigos de operação deverão ser fornecidos pelos pinos de entrada e o resultado deverá ser exibido em displays de 7 segmentos em valores hexadecimal e os bits de status em LEDs.

Para a operação NOT, apenas o operando A é utilizado. Em todas as outras operações ambos os operandos são utilizados. No caso dos shifts e rotates, o operando A é o valor a ser deslocado e o operando B é a quantidade de deslocamento.

## **AVALIAÇÃO**

---

A avaliação levará em consideração a organização do circuito no esquemático, a quantidade e funcionalidade das operações implementadas e a apresentação do mesmo (incluindo a arguição que é individual). Adicionalmente, será atribuída pontuação extra para o nível de otimização do projeto. A nota final do projeto será dada por:

$$N_{final} = N_{arguição} * (1,0 * N_{projeto} + 0,2 * N_{otimização})$$

A entrega do projeto deverá ser feita durante a aula e está limitada ao dia 05/07/2018. A arguição será individual (gerando nota individual) e no momento da entrega todos os membros do grupo deverão estar presentes.

Para os grupos que explorarem a otimização, deverá ser entregue um texto descrevendo as otimizações aplicadas, qual a vantagem obtida por cada otimização e a redução obtida em relação ao número de elementos lógicos do FPGA.

Todos os arquivos relacionados ao projeto serão copiados no dia da entrega do mesmo.

**O TRABALHO PODE SER INDIVIDUAL OU EM DUPLA**

### Descrição do shift aritmético:

No shift lógico, os bits que “entram” no deslocamento são sempre 0 (por exemplo, 0110 deslocado duas vezes para a esquerda resulta em 1000). No shift aritmético há algumas diferenças: o shift aritmético para a esquerda (<<) é igual ao shift lógico. No shift aritmético para a direita (>>), o valor que entra nos bits vagos depende do sinal (nesse caso o bit mais significativo). Além disso, no shift aritmético para a direita o bit mais significativo não se move. Exemplos de shifts aritméticos:

- 0110 << 0001 = 1100
- 1110 << 0001 = 1100
- 0110 >> 0001 = 0011
- 1110 >> 0001 = 1111
- 0110 << 0010 = 1000
- 1110 << 0010 = 1000
- 0110 >> 0010 = 0001
- 1110 >> 0010 = 1111