



SSC0109 - Prática em Lógica Digital - 1º Semestre/2018

Prof.: Vanderlei Bonato (vbonato@icmc.usp.br)

Estagiários PAE: Andre Bannwart Perina (abperina@usp.br) e Cláudio Roberto Costa (claudiocosta@usp.br)

Horário de atendimento aos alunos: 4ª feira, das 14:00 às 16:00hs

1. Objetivo

Introduzir o aluno na prática de conceitos básicos de eletrônica e lógica digital, e técnicas de projeto de subsistemas digitais com ênfase em circuitos combinacionais.

2. Conteúdo

Prática em circuitos combinacionais, funções lógicas, circuitos lógicos, simplificação algébrica, formas normais disjuntivas e conjuntivas, mapas de Karnaugh, decodificadores, representação numérica, circuitos somadores, subtratores e multiplicadores, multiplex e demultiplex.

3. Diretriz de avaliação definida no Júpiter

Método: Aulas expositivas e de resolução de exercícios.

Critério: Média ponderada das notas das provas e dos trabalhos em grupo ou individuais.

Norma de Recuperação

Critério de Aprovação: $NP + (Mrec/2,5)$, se $Mrec \geq 7,5$; ou $\text{Max}\{NP, Mrec\}$, se $Mrec \leq 5,0$; ou $5,0$, se $5,0 \leq Mrec < 7,5$.

sendo:

NP = nota da 1ª avaliação (encerramento do semestre) e

Mrec = média da recuperação (nota final da prova/trabalho de recuperação).

4. Critério de avaliação

- Prova prática valendo 30% da NF (Nota Final).
- Trabalho Prático Principal (TPP) valendo 50% da NF.
- Atividades práticas realizadas em Lab. valendo 20% da NF.

5. Datas importantes

- Prova prática:
 - 10 de maio de 2018
- Projeto de Lab
 - 28 de junho de 2018



6. Cronograma das aulas

Aula	Conteúdo
1	Semana de Recepção aos Calouros
2	Apresentação do curso e sua contextualização; Introdução à ferramenta Quartus e ModelSim
3	Exploração do kit de desenvolvimento com FPGA e dos recursos do Quartus
4	Especificação, simplificação, implementação e simulação de circuitos digitais em FPGA
5	Circuitos aritméticos
6	Circuitos aritméticos
7	Circuitos aritméticos
8	Circuitos aritméticos
9	Prova prática
10	MUX, DEMUX, coder e encoder
11	Construção de uma ULA
12	Construção de uma ULA
13	Implementação do TPP
14	Implementação do TPP
15	Apresentação do TPP (última semana de Junho)

6. Bibliografia

Texto:

- [1] BROWN, S.; VRANESIC, Z. Fundamentals of Digital Logic with VHDL Design, McGraw Hill, 2005
- [2] IDOETA, I.V.; CAPUANO, F.G. Elementos de Eletrônica Digital, Livros Érica, 2007

Complementar:

- [1] WAKERLY, J. F. Digital Design: Principles & Practices, 3 Edition, 950 páginas, Prentice Hall, 2000.
- [2] Van Den Bout, David E.; The practical Xilinx designer lab book :version 1.5, Prentice Hall, 1999.
- [3] Stewart, J. W., Wang, Chao-Ying.; Digital electronics laboratory experiments: using the Xilinx XC95108 CPLD with Xilinx foundation design and simulation software, Prentice Hall, 2001.
- [4] Hamblen, J. O.; Furman, M. D. Rapid Prototyping of Digital Systems, 2st Edition, Kluwer, 2001.
- [5] Hamacher, C; Vranesic, Z.; Zaky, S., Computer Organization, 5th Edition, McGraw-Hill, 2002.
- [6] Coffman, Ken; Real world FPGA design with Verilog, Prentice Hall, 2000.
- [7] Wakerly, J. F. Digital Design: Principles & Practices, 3 Edition, 2000.
- [8] Xilinx, The Practical Xilinx Designer Lab Book, Prentice Hall, 1999
- [9] Mano, M. M. Logic and Computer Design Fundamentals, 2000.
- [10] MANO, M.M. Computer System Architecture, Prentice-Hall, 1993.
- [11] TAUB, H.; SCHILLING, D. Eletrônica Digital, McGraw-Hill do Brasil, 1982.
- [12] FREGNI, E.; SARAIVA, G.R. Engenharia do Projeto Lógico Digital, São Paulo, Editora Edgard Blucher, 1995.
- [13] CHAN, P.K.; MOURAD, S. Digital Design Using Field Programmable Gate Arrays. Prentice Hall, 1994.
- [14] IDOETA, I.V.; CAPUANO, F.G. Elementos de Eletrônica Digital, 12 ed., São Paulo, Livros Érica, Livros, 1987.
- [15] KATZ, R.H. Logic Design, Benjamin Cummings, 1994.
- [16] Brown, Stephen D.; Field-programmable gate arrays; Kluwer Academic Publishers, 1992.
- [17] KATZ, R.H. Contemporary logic design; Addison Wesley/Longman, 2000.
- [18] Tocci, R. J.; Widmer, N. S., Sistemas Digitais – Princípios e Aplicações, 8 ed., Prentice Hall, 2003.
- [19] Oldfield, J. V.; Dorf, R. C., Field-Programmable Gate Arrays, Wiley Interscience, 1995.
- [20] Xilinx Data Book, 2011.
- [21] Altera Data Book, 2011. Sites sobre FPGA (www.xilinx.com; www.altera.com;))