

USP - ICMC - SSC SSC 0113 (Lab ELD II) - 2o. Semestre 2012

Disciplina de SSC0113 - Elementos de Lógica Digital II (Prática)

Prof. Fernando Osório

Email: fosorio [at] { icmc. usp. br , gmail. com }

Estagiário PAE: Diogo Ortiz Correa

Email: diogosoc [at] { icmc. usp. br }

Web: <http://www.icmc.usp.br/~fosorio/>

Wiki ICMC: [http://wiki.icmc.usp.br/index.php/SSC-113-2012\(fosorio\)](http://wiki.icmc.usp.br/index.php/SSC-113-2012(fosorio))

Agenda:

1. Introdução: VHDL

Refs. ALDEC VHDL Interactive Tutorial

Livros, Tutoriais:

- Fundamentals of digital logic with VHDL design (Brown)

2. Projeto de Circuito em FPGA com VHDL

Xor , Half-Adder , Full-Adder

Somador: Implementação

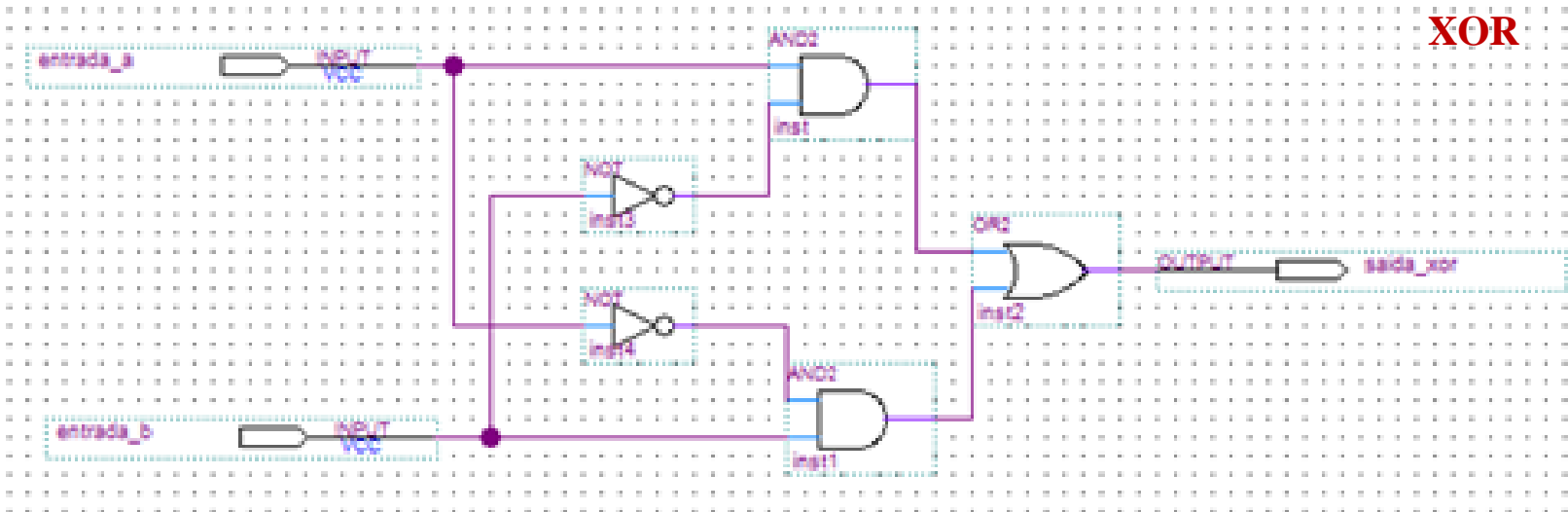
Circuitos Lógicos

- **Simple Combinatorial Circuit**
- **Half-Adder (meio somador)**
- **Full-Adder (somador completo)**
- **Somadores em Cascata**

2. Projeto de Circuito em FPGA

Circuitos Lógicos

- **XOR** $\Rightarrow (A \text{ and Not}(B)) \text{ or } (\text{Not}(a) \text{ and } B)$
- **Half-Adder (meio somador)**
- **Full-Adder (somador completo)**
- **Somadores em Cascata**



Circuitos Lógicos

- **XOR**

```
-- isso é um comentário
-- início do código
ENTITY lab01 IS
    PORT (
        a, b      : IN bit;
        x, y, f   : OUT bit);
END Lab01;

ARCHITECTURE behavior OF lab01 IS
BEGIN
    x <= a AND (NOT b);
    y <= (NOT a) AND b;
    f <= x OR y;
END behavior;
-- fim do código
```

Circuitos Lógicos

- **XOR**

```
-- isso é um comentário
-- início do código
ENTITY lab01 IS
    PORT (
        a, b    : IN bit;
        f       : OUT bit);
END Lab01;

ARCHITECTURE behavior OF lab01 IS
BEGIN
    f <= x XOR y;
END behavior;
-- fim do código
```

Circuitos Lógicos

- **Circuito Combinacional**

(Aula 01)

```
-- isso é um comentário
-- início do código
ENTITY lab01 IS
    PORT (
        a, b, c : IN bit;
        d, e, f : OUT bit);
END Lab01;

ARCHITECTURE behavior OF lab01 IS
BEGIN
    d <= a AND b;
    e <= b OR c;
    f <= a AND (b OR c);
END behavior;
-- fim do código
```

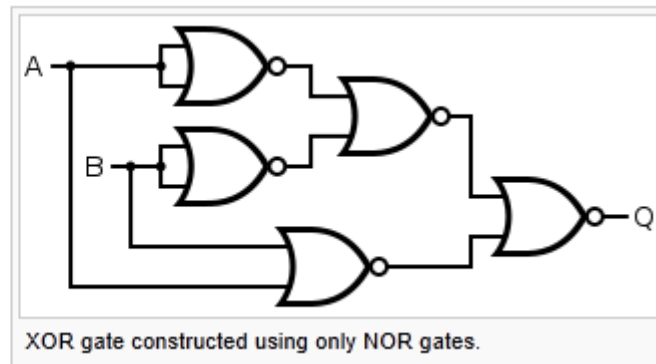
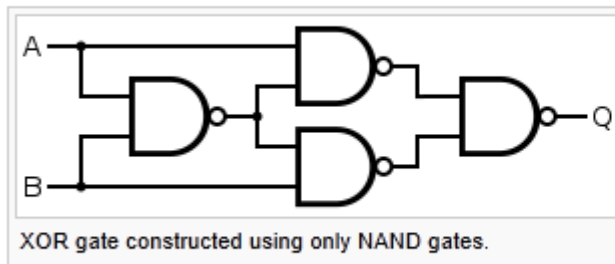
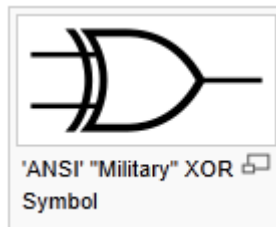
2. Projeto de Circuito em FPGA

Circuitos Lógicos

- XOR**

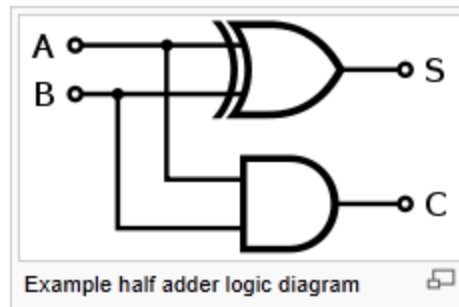
INPUT		OUTPUT
A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0

SOMA	A + B:
0 + 0 = 0	
0 + 1 = 1	
1 + 0 = 1	
1 + 1 = 0	e vai_um



Circuitos Lógicos

- **Half-Adder**



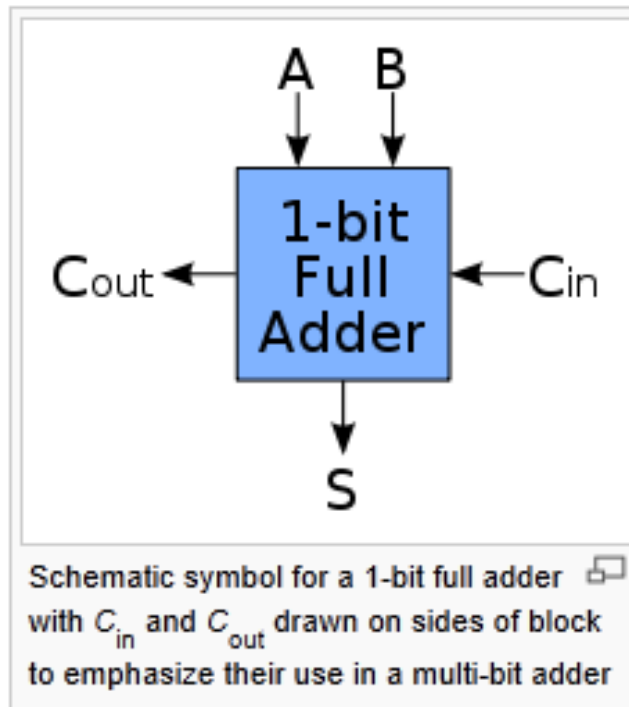
SOMA
 $A + B = S \Rightarrow \text{XOR}$

VAI_UM
 $A + B = C \Rightarrow \text{AND}$

INPUT		OUTPUT		Vai_Um
A	B	A XOR B		“Carry”
0	0	0		0
0	1	1		0
1	0	1		0
1	1	0		1

Circuitos Lógicos

- Full-Adder

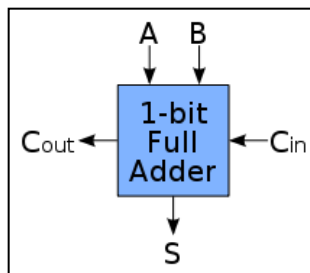
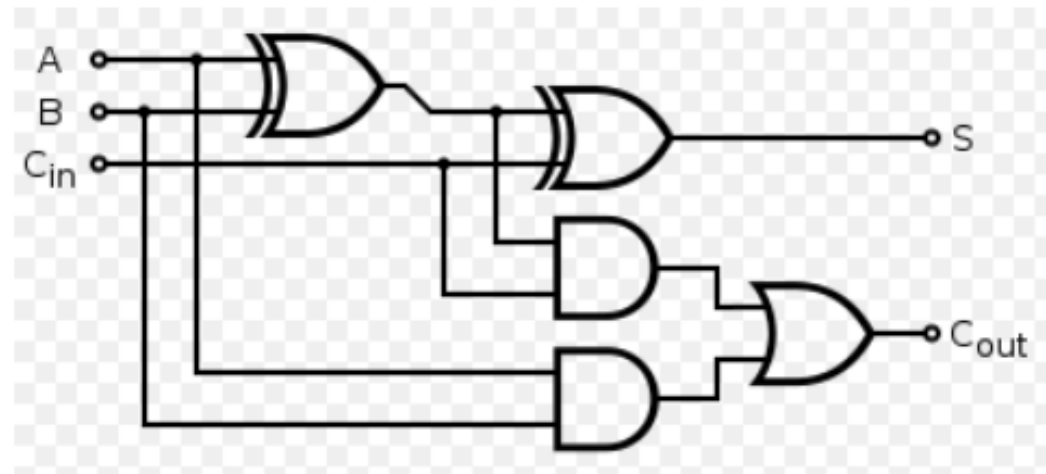


Inputs			Outputs	
A	B	C_{in}	C_{out}	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

Circuitos Lógicos

- **Full-Adder**

Inputs			Outputs	
A	B	C _{in}	C _{out}	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

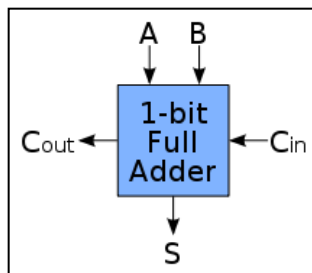
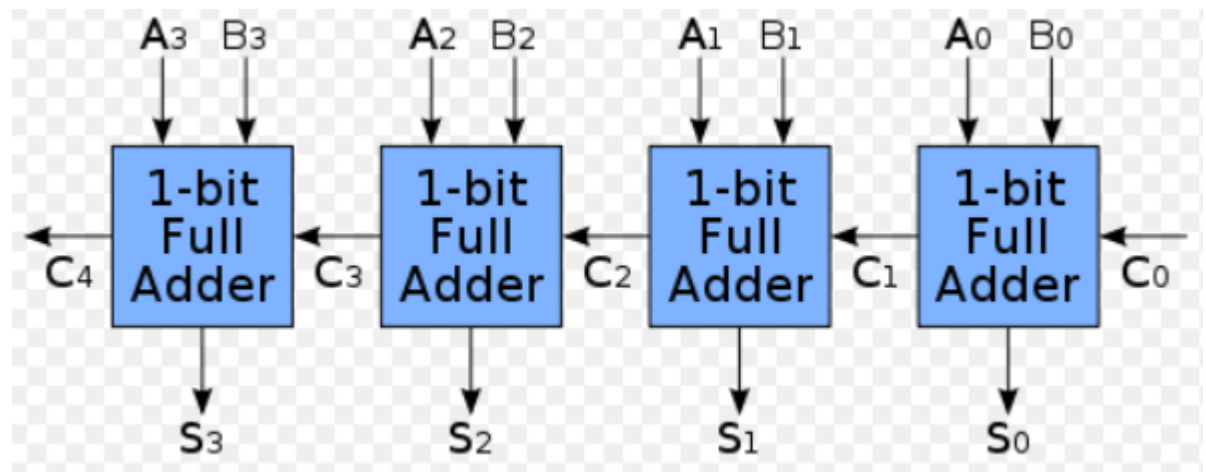


2. Projeto de Circuito em FPGA

Circuitos Lógicos

- **Full-Adder em Cascata: Somador de 4 bits**

Inputs			Outputs	
A	B	C _{in}	C _{out}	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1





INFORMAÇÕES SOBRE A DISCIPLINA

USP - Universidade de São Paulo - São Carlos, SP

ICMC - Instituto de Ciências Matemáticas e de Computação

SSC - Departamento de Sistemas de Computação

LRM – Laboratório de Robótica Móvel

Web LRM: [Http://lrm.icmc.usp.br/](http://lrm.icmc.usp.br/)

Página pessoal: [Http://www.icmc.usp.br/~fosorio/](http://www.icmc.usp.br/~fosorio/)

E-mail: [fosorio \[at\] { icmc. usp. br , gmail. com }](mailto:fosorio@icmc.usp.br) – F.Osório

E-mail: [diogosoc \[at\] { icmc. usp. br }](mailto:diogosoc@icmc.usp.br) - Diogo Correa (PAE)

Disciplina de Laboratório de Elementos de Lógica Digital II [LELD2]

Web Disciplinas: [Http://www.icmc.usp.br/~fosorio/](http://www.icmc.usp.br/~fosorio/)

Web Wiki: [http://wiki.icmc.usp.br/index.php/SSC-113-2012\(fosorio\)](http://wiki.icmc.usp.br/index.php/SSC-113-2012(fosorio))

> Programa, Material de Aulas, Critérios de Avaliação,

> Material de Apoio, Trabalhos Práticos