

# SSC0180- ELETRÔNICA PARA COMPUTAÇÃO

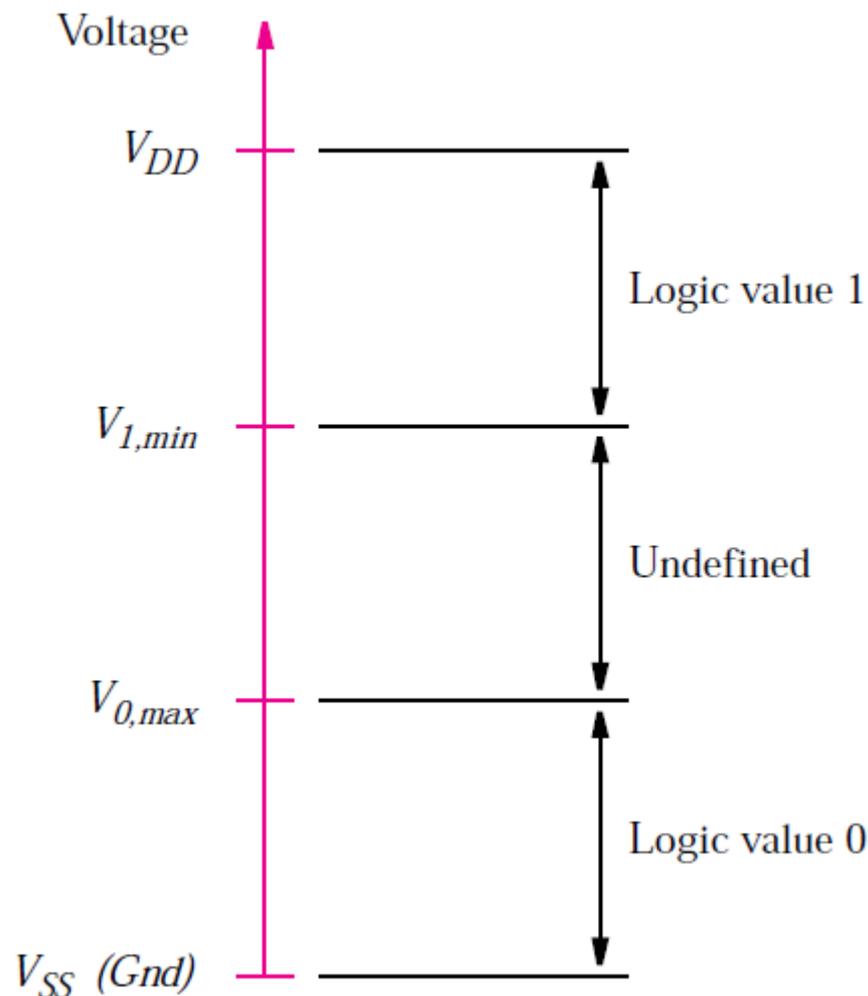
Professor: Vanderlei Bonato

EstagiárioPAE: Leandro S. Rosa

# Sumário

- Nível lógico x nível de tensão
- Transistor NMOS
- Transistor PMOS
- Porta lógica CMOS
- Comportamento dos transistores NMOS e PMOS

# Valor binário x nível de tensão



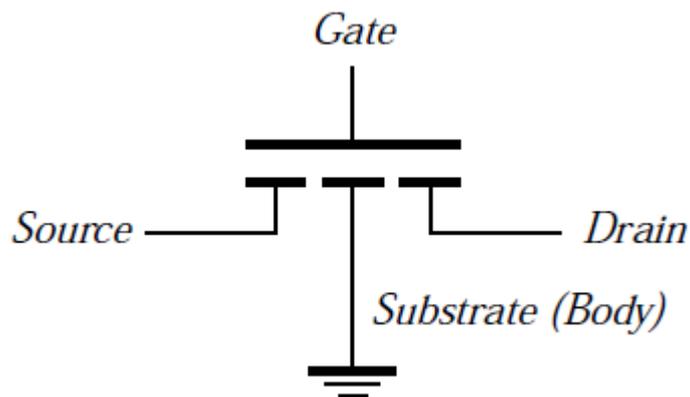
**Figura 1.** Representação de valores lógicos por níveis de tensão

# Transistor NMOS como switch/chave

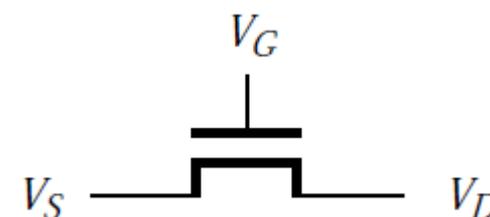
- Circuitos lógicos são construídos com transistores;
  - Assumindo que um transistor opera como um switch, o funcionamento é da seguinte maneira;



(a) Um simples *switch* controlado por uma entrada  $x$



(b) Transistor NMOS



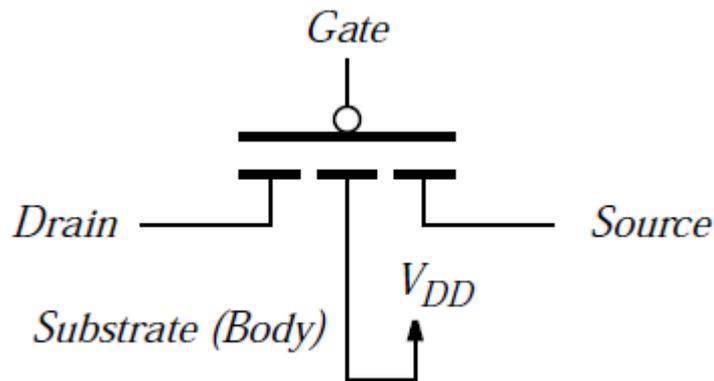
(c) Símbolo simplificado de um NMOS

**Figura 2.** Transistor NMOS como switch

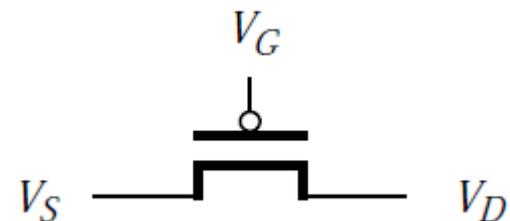
# Transistor PMOS como switch



(a) Switch com comportamento oposto da Figura 2(a)

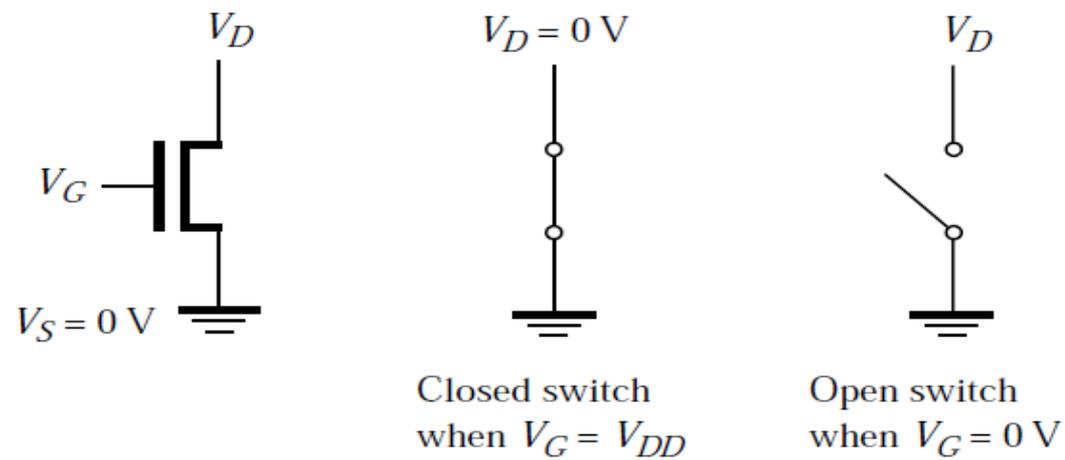


(b) Transistor PMOS

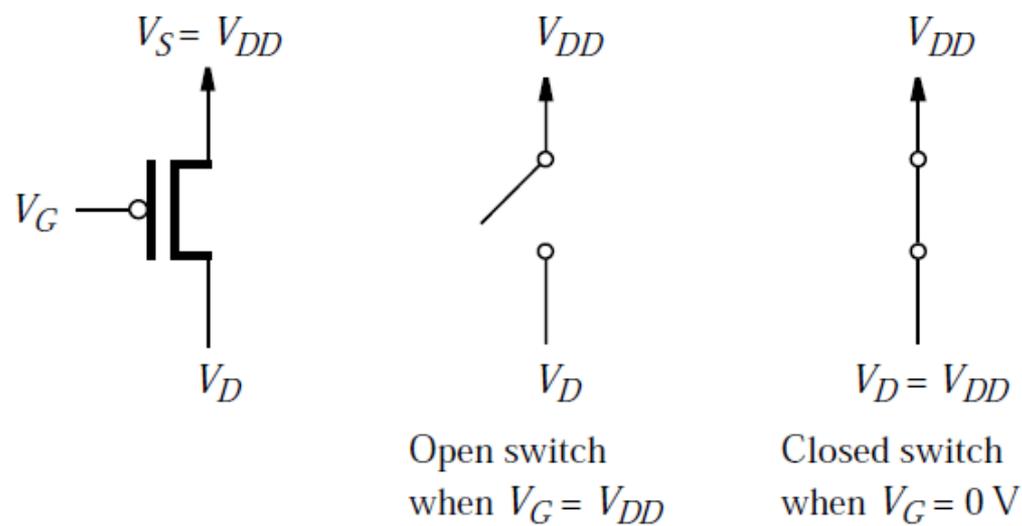


(c) Símbolo simplificado de um PMOS

**Figura 3.** Transistor PMOS como transistor



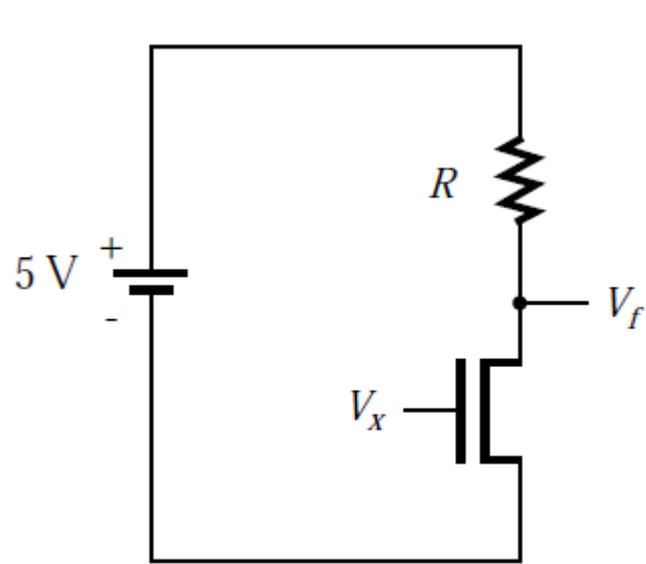
(a) Transistor NMOS



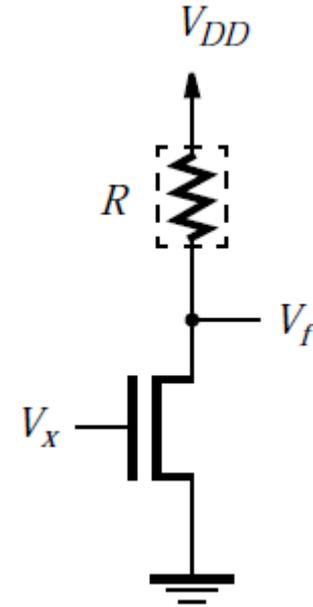
(b) Transistor PMOS

**Figura 5.** Transistor NMOS e PMOS em circuitos lógicos

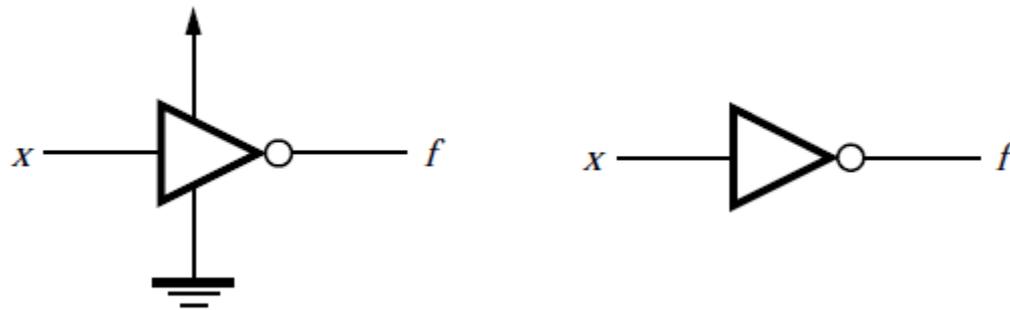
# Porta lógica NMOS - Porta NOT



(a) Diagrama do circuito



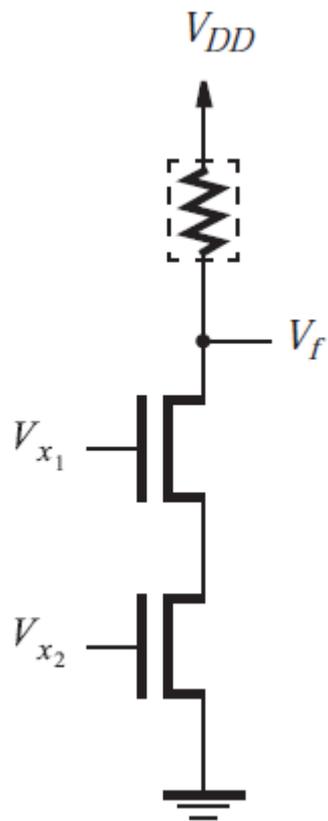
(b) Diagrama do circuito simplificado



(c) Símbolo gráfico

**Figura 6.** Porta lógica NOT construída de tecnologia NMOS

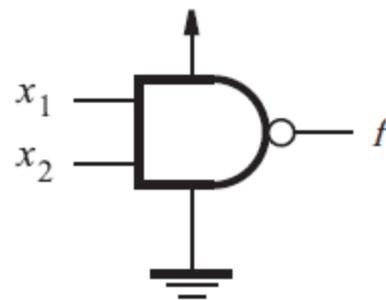
# Porta lógica NMOS - Porta NAND



(a) Circuito

$x_1$	$x_2$	$f$
0	0	1
0	1	1
1	0	1
1	1	0

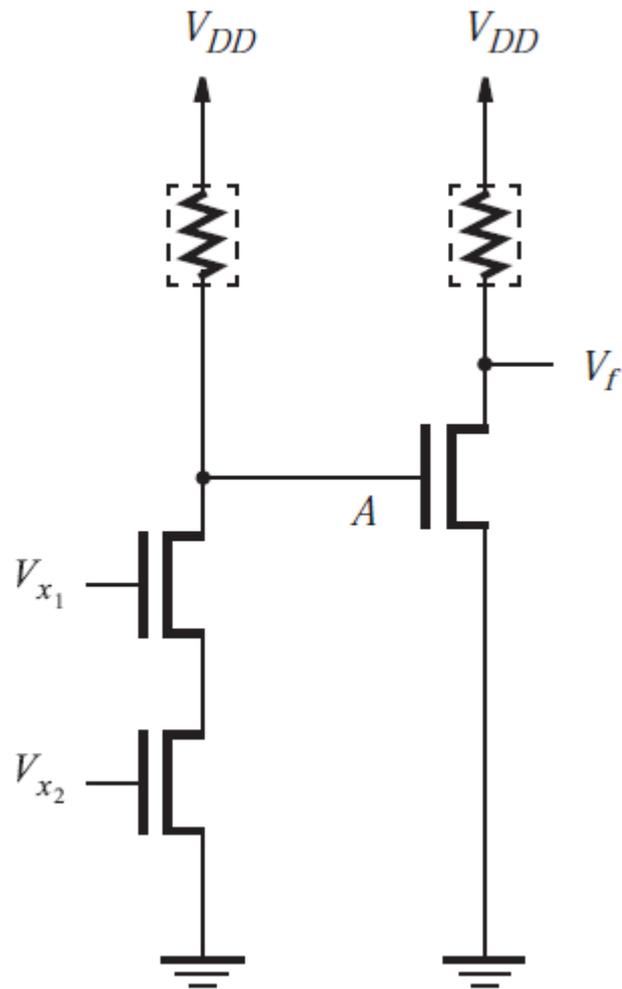
(b) Tabela-verdade



(c) Símbolo gráfico

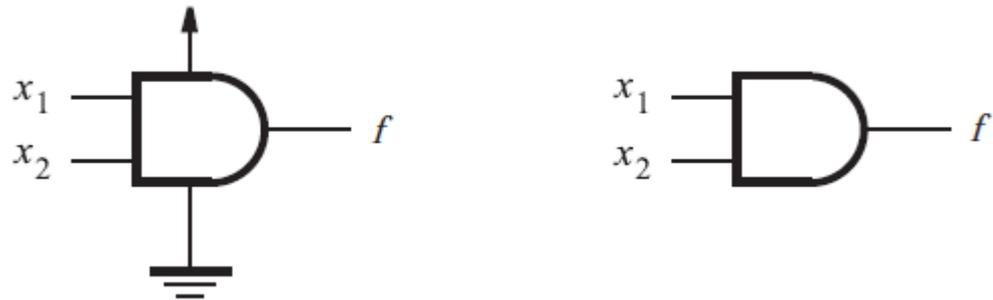
**Figura 7.** Porta lógica NAND construída de tecnologia NMOS

# Porta lógica AND construída de tecnologia NMOS



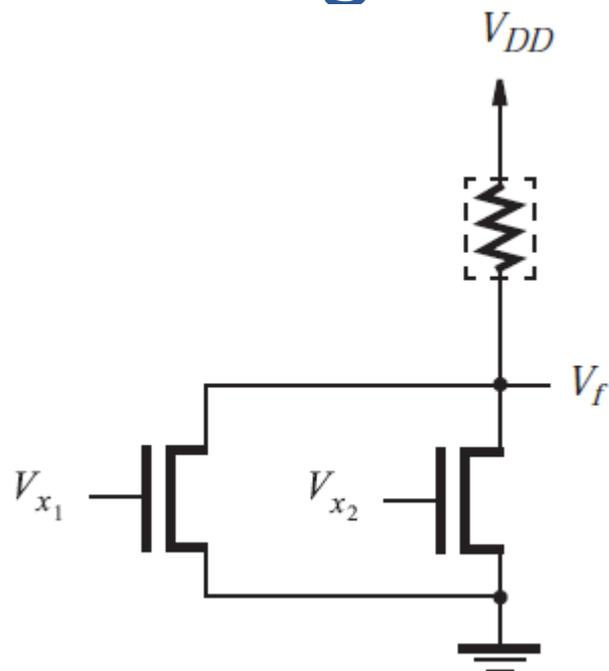
$x_1$	$x_2$	$f$
0	0	0
0	1	0
1	0	0
1	1	1

(b) Tabela-verdade



**Figura 8.** Porta lógica AND construída de tecnologia NMOS

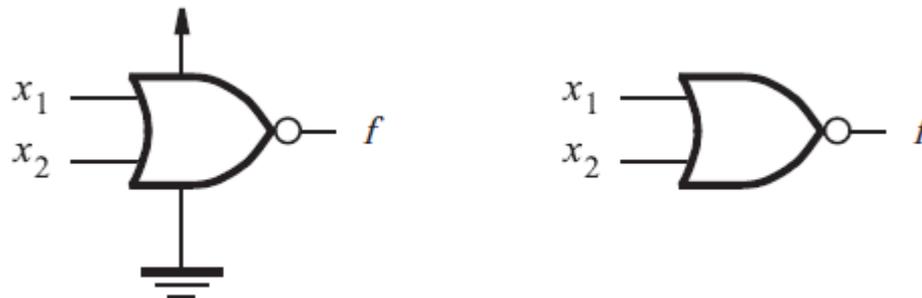
# Porta lógica NMOS – Porta NOR



(a) Circuito

$x_1$	$x_2$	$f$
0	0	1
0	1	0
1	0	0
1	1	0

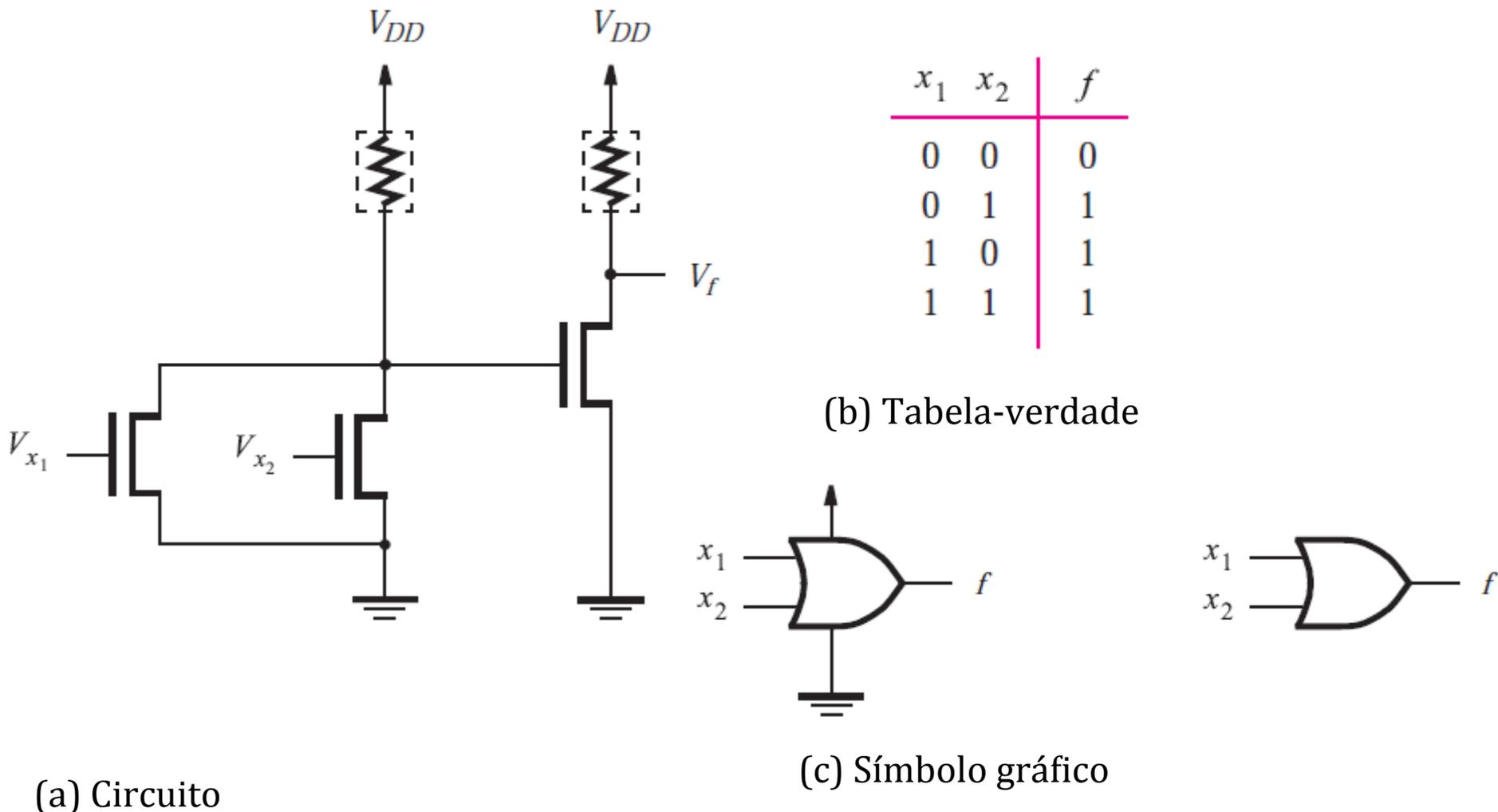
(b) Tabela-verdade



(c) Símbolo gráfico

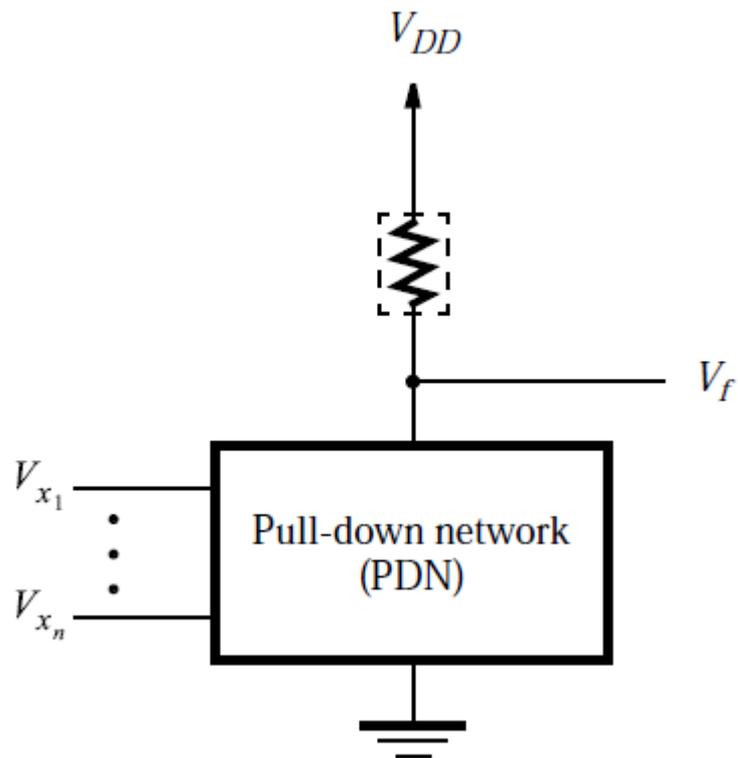
**Figura 9.** Porta lógica NOR construída de tecnologia NMOS

# Porta lógica NMOS - Porta OR

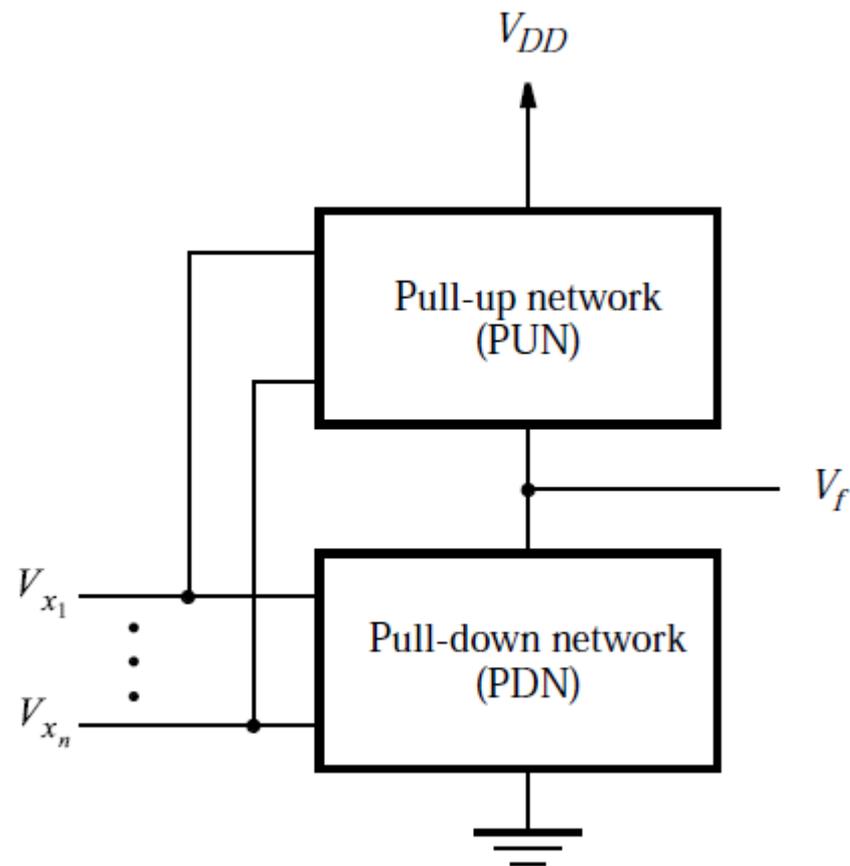


**Figura 10.** Porta lógica OR construída de tecnologia NMOS

# Tecnologia CMOS X NMOS

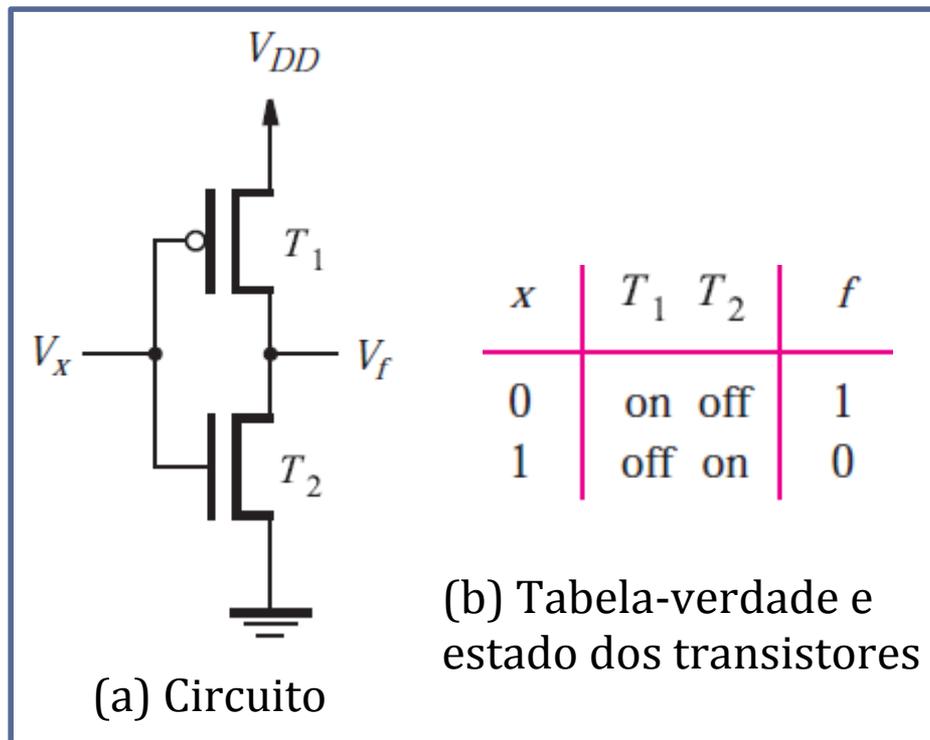


**Figura 11.** Estrutura de um circuito NMOS

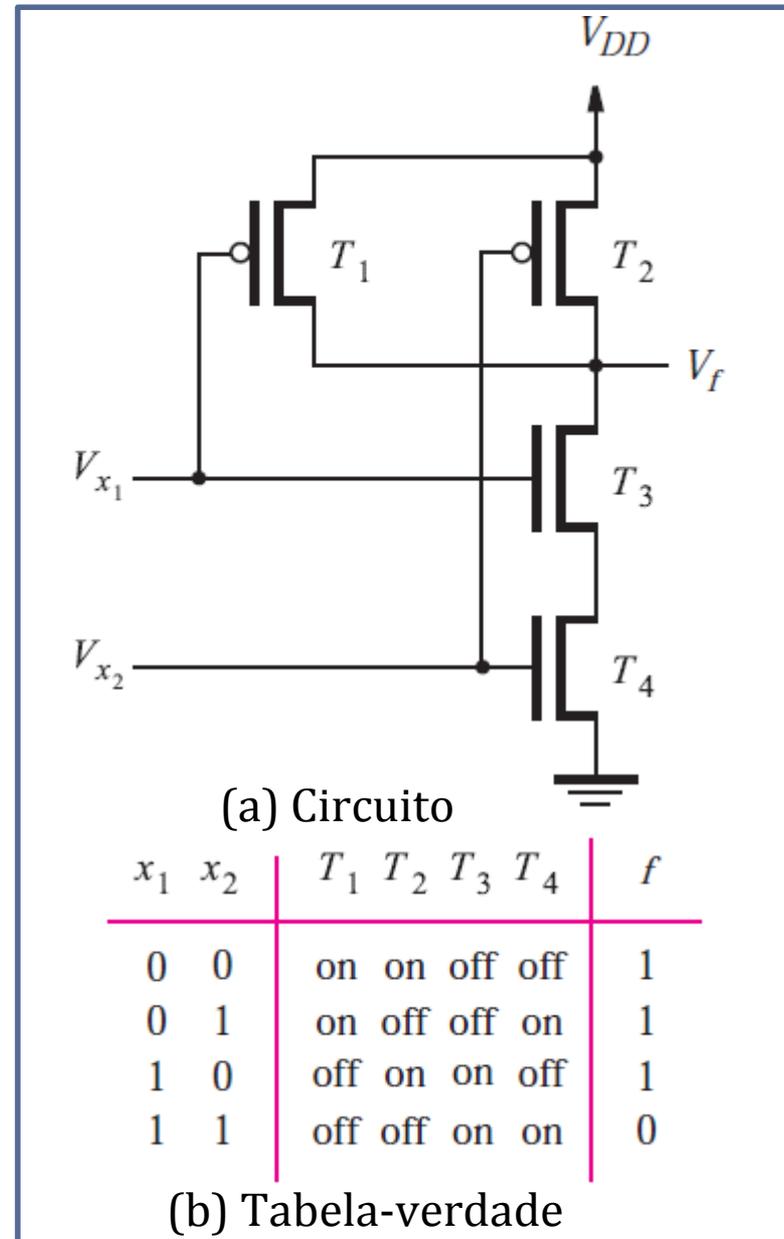


**Figura 12.** Estrutura de um circuito CMOS

# Porta lógica CMOS

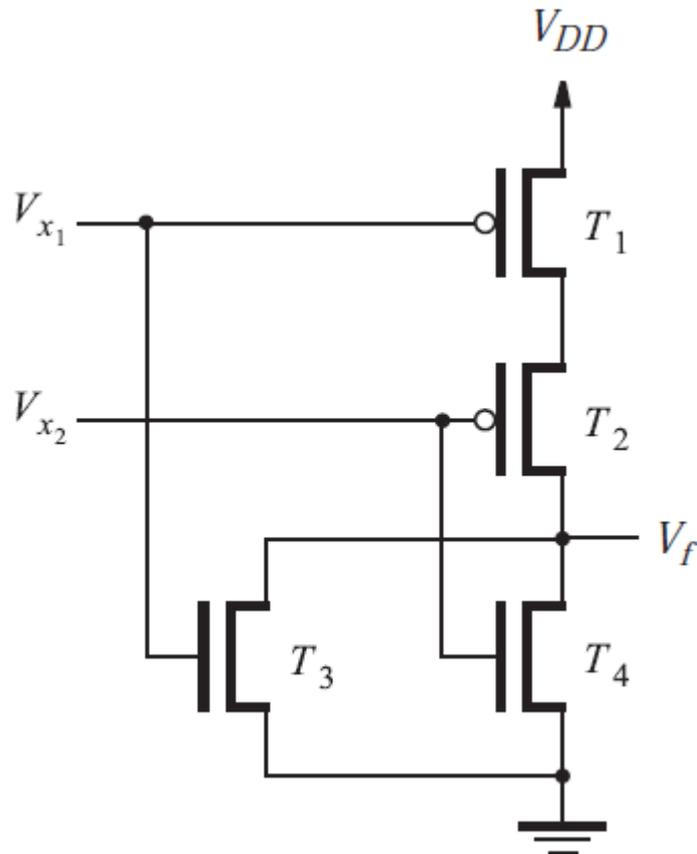


**Figura 13.** Porta lógica NOT construída de tecnologia CMOS



**Figura 14.** Porta lógica NAND construída de tecnologia CMOS

# Porta l3gica CMOS – Porta l3gica NOR



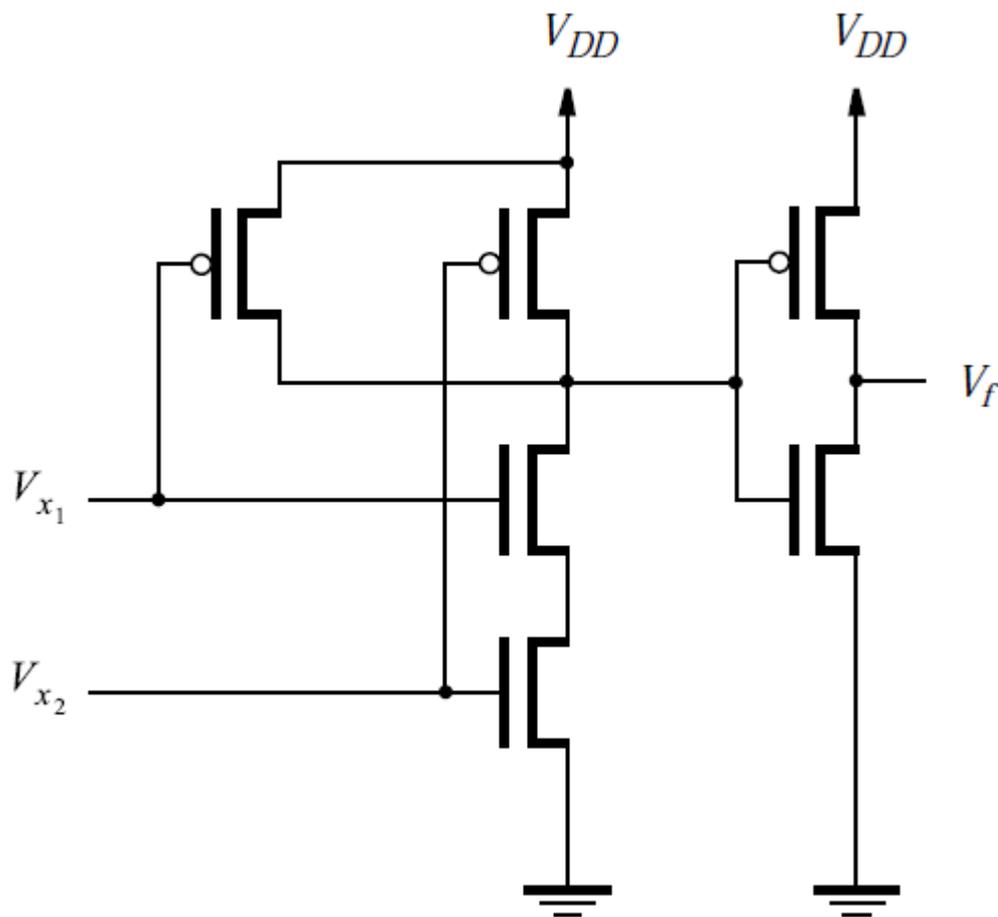
(a) Circuito

$x_1$	$x_2$	$T_1$	$T_2$	$T_3$	$T_4$	$f$
0	0	on	on	off	off	1
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	0

(b) Tabela-verdade e estados dos transistores

**Figura 15.** Porta l3gica NOR constru3da de tecnologia CMOS

# Porta l3gica CMOS – Porta l3gica AND



(a) Circuito

- O processo ao lado para derivar um circuito CMOS pode ser aplicado a fun33es l3gicas mais gerais para criar portas l3gicas mais complexas.
- Dois exemplos nos slides a seguir

**Figura 16.** Porta l3gica AND constru3da de tecnologia CMOS

# Exemplo 1

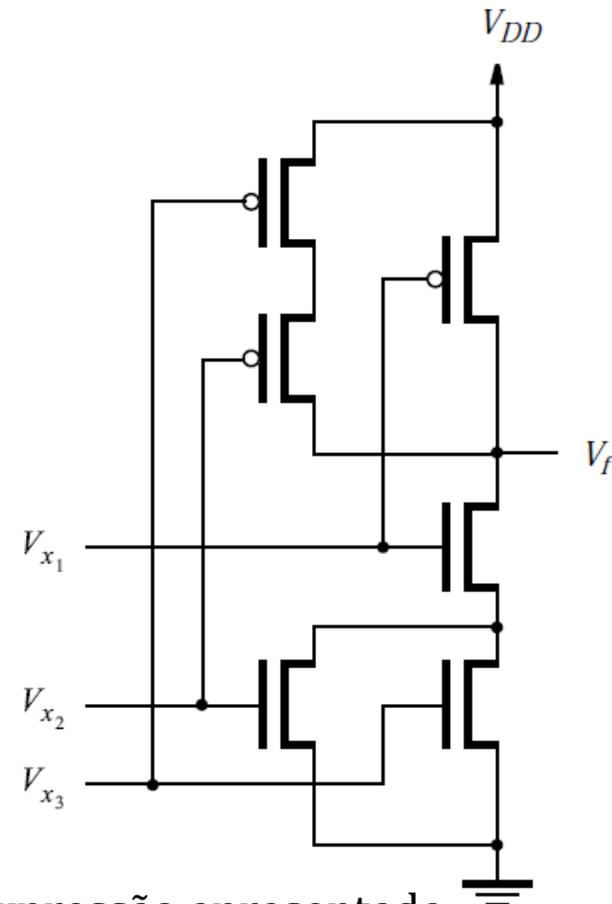
- Considere a função

$$f = \bar{x}_1 + \bar{x}_2\bar{x}_3$$

- Todas as variáveis aparecem em sua forma complementada, pode-se derivar a *network pull-up (PUN)*, a qual é constituída por um transistor PMOS controlado por  $x_1$  em paralelo com uma combinação em série de Transistores PMOS controlado por  $x_2$  e  $x_3$ .
- Para o *network pull-down ( PDN)* temos:

$$\bar{f} = \overline{\bar{x}_1 + \bar{x}_2\bar{x}_3} = x_1(x_2 + x_3)$$

- Esta expressão dá o PDN, que tem um transistor NMOS controlado por  $x_1$  em série com a combinação em paralelo de transistores NMOS controlados por  $x_2$  e  $x_3$
- O circuito é mostrado na Figura 17 (ao lado)



**Figura 17.** Circuito da expressão apresentada

## Exemplo 2

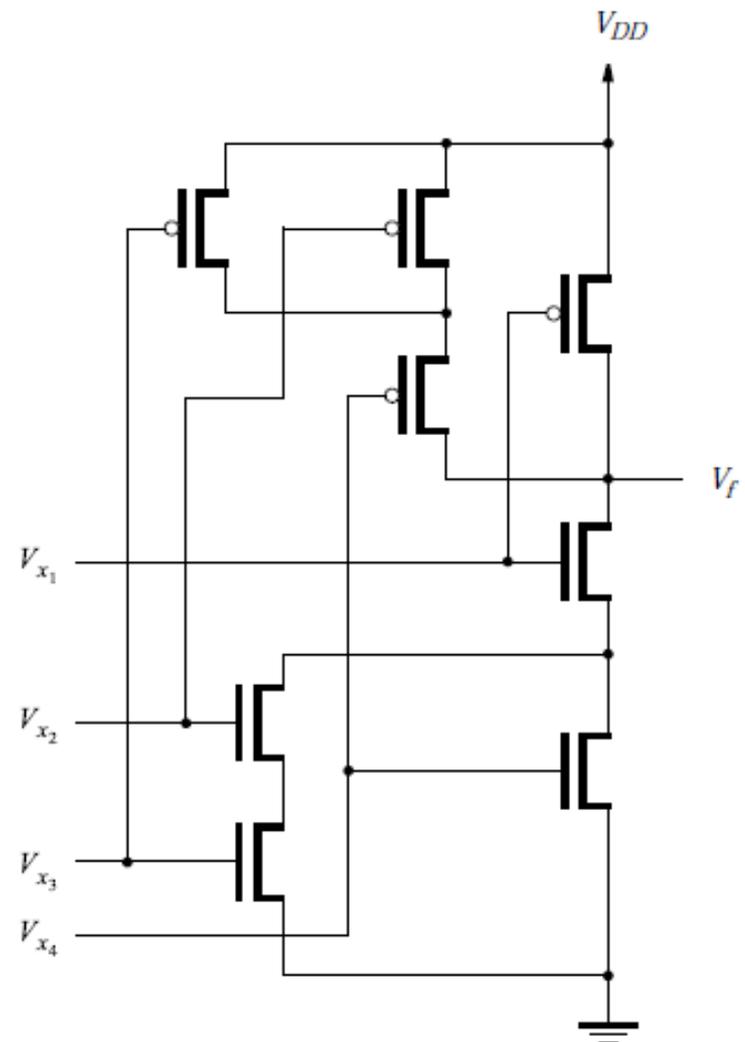
- Considere a função

$$f = \bar{x}_1 + (\bar{x}_2 + \bar{x}_3)\bar{x}_4$$

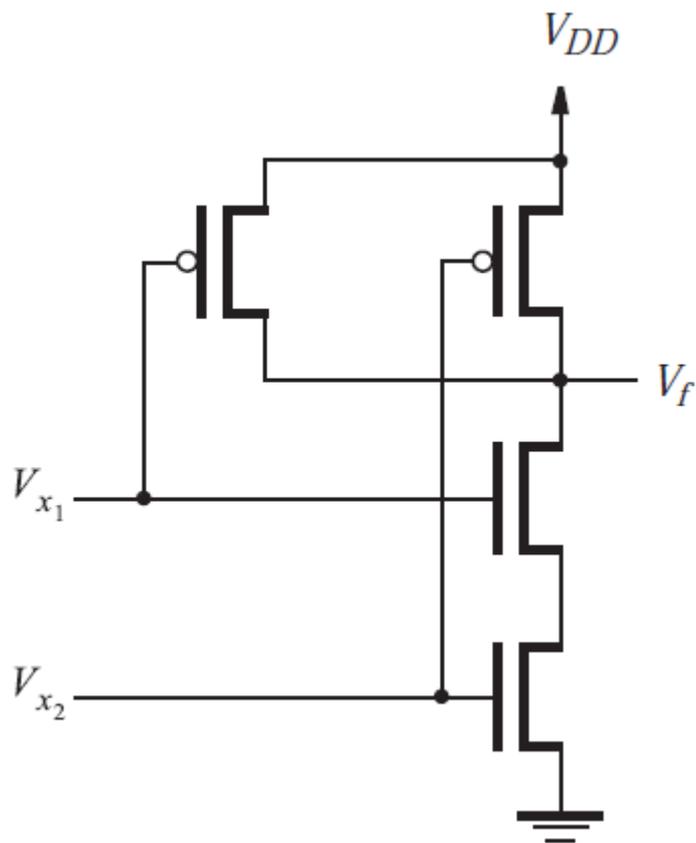
- Então

$$\bar{f} = x_1(x_2x_3 + x_4)$$

- Essas expressões levam diretamente ao circuito da Figura 18.



**Figura 18.** Circuito da expressão apresentada



$V_{x_1}$	$V_{x_2}$	$V_f$
L	L	H
L	H	H
H	L	H
H	H	L

(b) Níveis de tensão do circuito (a)

(a) Circuito- Porta lógica NAND construída de CMOS

**Figura 19.** Níveis de tensão e circuito

$x_1$	$x_2$	$f$
0	0	1
0	1	1
1	0	1
1	1	0



(a) Tabela-verdade com lógica positiva e símbolo da porta

$x_1$	$x_2$	$f$
1	1	0
1	0	0
0	1	0
0	0	1



(b) Tabela-verdade com lógica negativa e símbolo da porta

**Figura 20.** Interpretação do circuito apresentado na Figura 19(a)

$V_{x_1}$	$V_{x_2}$	$V_f$
L	L	L
L	H	L
H	L	L
H	H	H

(a) Níveis de tensão

$x_1$	$x_2$	$f$
0	0	0
0	1	0
1	0	0
1	1	1



(b) Lógica positiva

$x_1$	$x_2$	$f$
1	1	1
1	0	1
0	1	1
0	0	0



(c) Lógica negativa

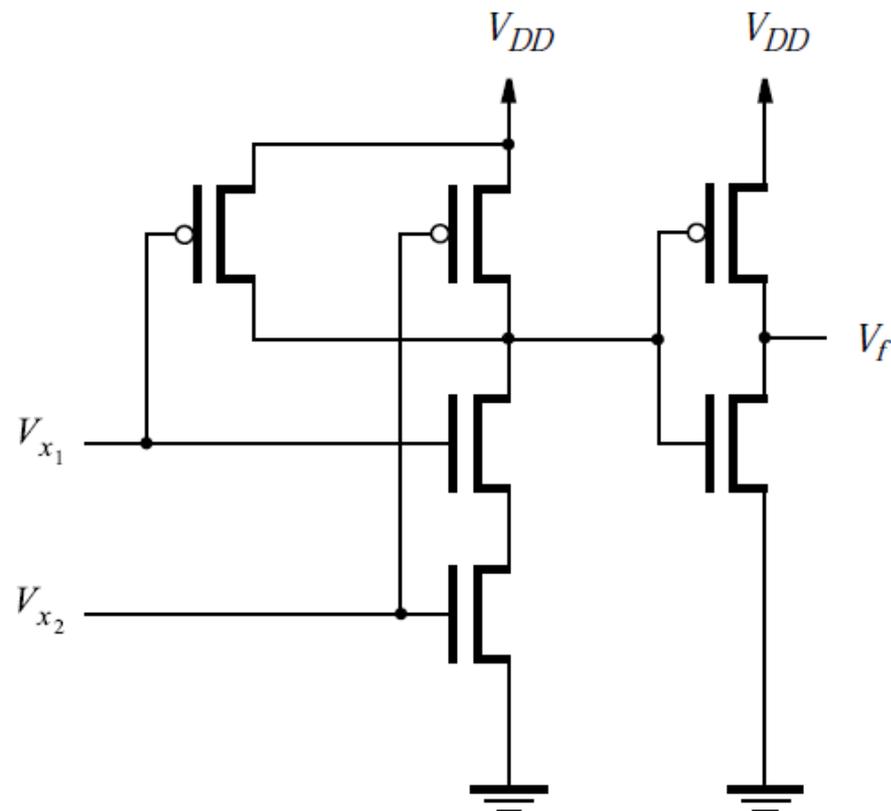


Figura 22. Porta lógica AND construída de CMOS

Figura 21. Interpretação do circuito apresentado na Figura 22

# Aspectos práticos sobre transistores

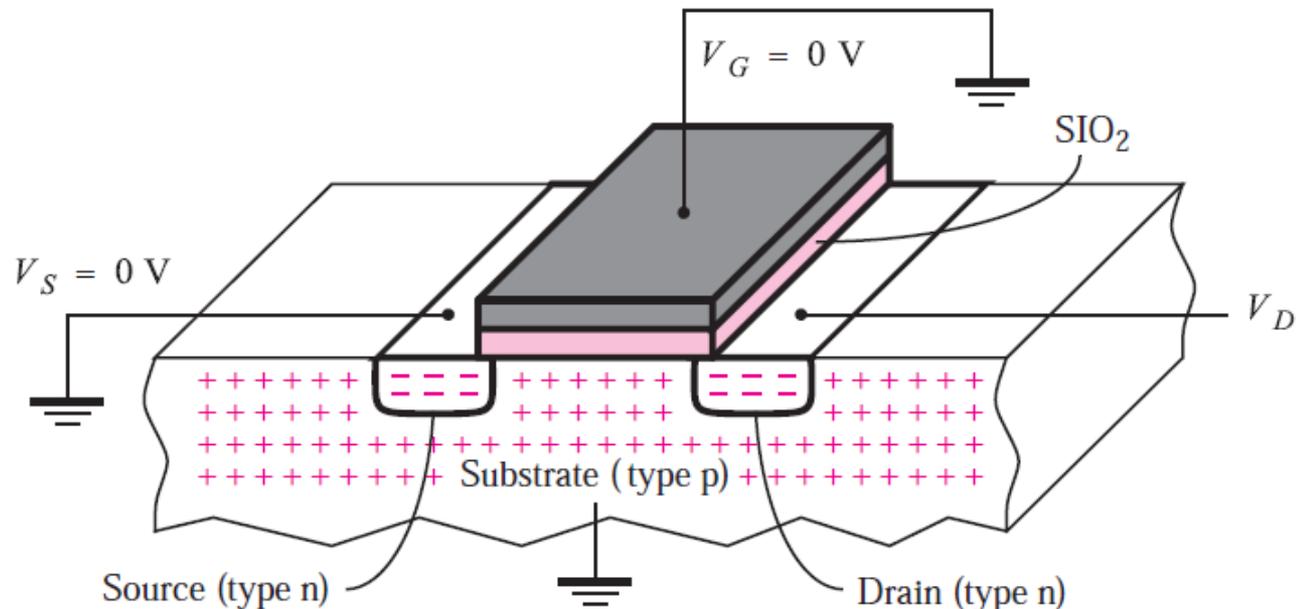
- Serão discutidos os seguintes aspectos:
  - Como os transistores são fabricados em silício;
  - Como os transistores operam;
  - Robustez;
  - Atrasos de propagação de sinal;
  - Dissipação de energia.
- Um transistor é fabricado por meio da construção de áreas no substrato de silício que têm um excesso de carga elétrica positiva ou negativa;
  - Áreas carregadas negativamente são chamadas de tipo  $n$
  - Áreas carregadas positivamente são chamadas de tipo  $p$

# Comportamento de um NMOS

**Situação 1 - Transistor NMOS com *source* e *gate* conectados ao terra**

**(  $V_S = V_G = 0V$  )**

- Sendo,  $V_S$  – nível de tensão aplicado no terminal *source*
- $V_G$  – nível de tensão aplicado no terminal *gate*
- $V_D$  – nível de tensão aplicado no terminal *drain*
- $V_{GS}$  – tensão *gate* para *source*

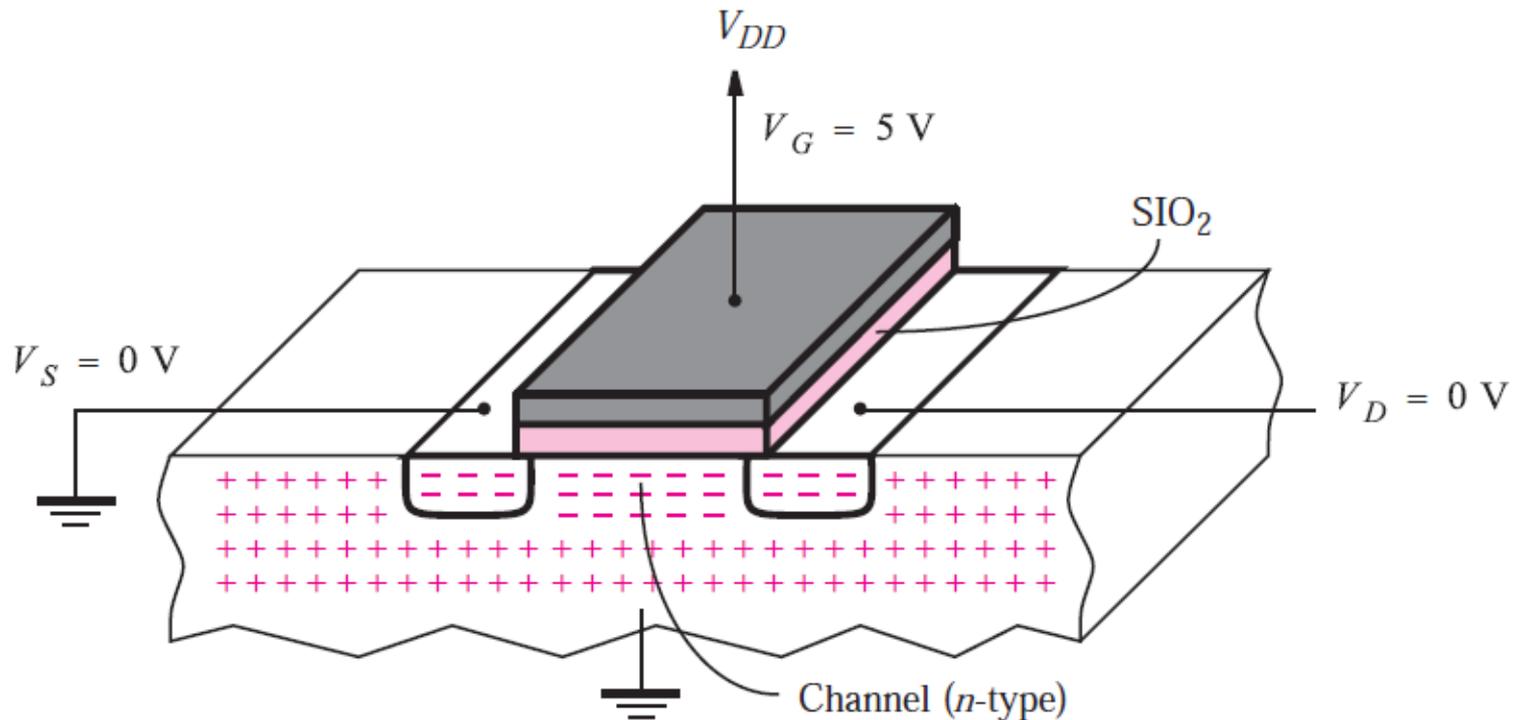


**Figura 23.** Quando o  $V_{GS} = 0V$  o transistor está *off*, não havendo fluxo de corrente entre o *source* e o dreno ( $I_D = 0$ )

# Comportamento de um NMOS

## Situação 2 – Transistor NMOS com *gate* conectados Vdd ( $V_g = 5V$ )

- Sendo,  $V_s$  – nível de tensão aplicado no terminal *source*
- $V_g$  – nível de tensão aplicado no terminal *gate*
- $V_d$  – nível de tensão aplicado no terminal *drain*
- $V_{gs}$  – tensão *gate* para *source*



**Figura 24.** Quando o  $V_{gs} = 5V$  o transistor está *on*

# Comportamento de um NMOS

- Observação: Se  $V_{GS}$  for maior do que um valor mínimo de tensão positiva, chamado tensão *threshold* ( $V_T$ ), então o estado do transistor muda de uma chave aberta para fechada. O nível exato de  $V_T$  depende de muitos fatores, mas é tipicamente cerca de 0,2 V.

# Exercícios

- Represente a porta lógica XOR com CMOS