

Máquina de Estados

- Uma máquina de estados finita ou autômato finito é uma modelagem de um comportamento composto por estados, transições e ações
- Um estado armazena informações sobre a situação atual
- Uma transição indica uma mudança de estado e é descrita por uma condição que precisa ser realizada para que a transição ocorra
- Uma ação é a descrição de uma atividade que deve ser realizada em determinado momento

Máquina de Estados

- Uma máquina de estados é um sistema sequencial
- O número de estados é finito
- As entradas e saídas são consideradas em instantes de tempo discretos que normalmente são definidos por pulsos de um sinal de sincronização chamado relógio (clock)

Máquina de Estados

- Máquina de Moore: As saídas são associadas aos estados.
- Máquina de Mealy: As saídas são associadas aos estados e as entradas.

Máquina de Estados

- Definição de uma máquina de estados:
 - Conjunto de estados válidos
 - Entradas
 - Saídas
 - Estado Inicial
 - Tabela de transição de estados

Máquina de Estados

- Exemplo de máquina de estados de Moore:

Estados : $s(t) \in \{S_0, S_1, S_2, S_3\}$

Entrada : $x(t) \in \{a, b, c\}$

Saída : $z(t) \in \{0, 1\}$

Estado Inicial: $s(0) = S_0$

Tabela de transições

EA	Entrada			Saída
	a	b	c	
S_0	S_0	S_1	S_1	0
S_1	S_2	S_0	S_1	1
S_2	S_2	S_3	S_0	1
S_3	S_0	S_1	S_2	0
	PE			

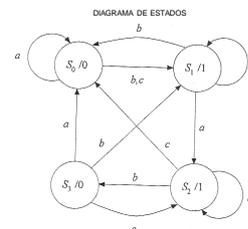
EA – Estado Atual
PE – Próximo Estado

Máquina de Moore

Diagrama de Estados

TABELA DE TRANSIÇÃO ESTADOS

EA	Entrada			Saída
	a	b	c	
S_0	S_0	S_1	S_1	0
S_1	S_2	S_0	S_1	1
S_2	S_2	S_3	S_0	1
S_3	S_0	S_1	S_2	0
	PE			



Máquina de Estados

1) Criar um detector de paridade usando uma máquina de Moore.

Máquina de Estados

2) Criar um detector da sequência 0010 usando uma máquina de Moore.

Exemplo de implementação em VHDL

```
ENTITY moore IS
  PORT ( Clock : IN BIT;
        w      : IN BIT;
        Reset  : IN BIT;
        z      : OUT BIT );
END moore ;

ARCHITECTURE Behavior OF moore IS
  TYPE State_type IS (A, B, C); -- Tipo enumerado para definir estados
  SIGNAL y : State_type ;
BEGIN
  PROCESS ( Reset, Clock )
  BEGIN
    IF Reset = '0' THEN
      y <= A ;
    ELSIF (Clock'EVENT AND Clock = '1') THEN
```

Exemplo de implementação em VHDL

```
CASE y IS
  WHEN A =>
    IF w = '0' THEN
      y <= A ;
    ELSE
      y <= B ;
    END IF ;
  WHEN B =>
    IF w = '0' THEN
      y <= A ;
    ELSE
      y <= C ;
    END IF ;
  WHEN C =>
    IF w = '0' THEN
      y <= A ;
    ELSE
      y <= C ;
    END IF ;
END CASE ;
END IF ;
END PROCESS ;
z <= '1' WHEN y = C ELSE '0' ; -- Assíncrono, fora do processo
END Behavior ;
```

Máquina de Estados

2) Implementar o detector da sequência 0010 usando VHDL.

Máquina de Estados

3) Projete um sistema de controle de semáforos para um entroncamento de 3 ruas (A, B, C), respeitando os seguintes critérios:

- Apenas 1 semáforo pode abrir a cada momento.
- O motorista da Rua A tem prioridade sobre o da rua B.
- O motorista da Rua B tem prioridade sobre o da rua C.
- O motorista da Rua C tem prioridade sobre o da rua A.
- Quando houver carros nas 3 ruas ou em nenhuma delas, a rua A tem a preferência.

Máquina de Estados

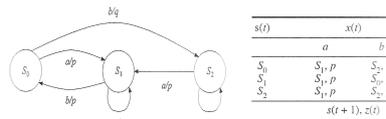
- Máquina de Moore: As saídas são associadas aos estados.
- Máquina de Mealy: As saídas são associadas aos estados e as entradas.

Máquina de Mealy

Um sistema sequencial tem a seguinte descrição de estados:

Entrada: $x(t) \in \{a, b\}$
 Saída: $z(t) \in \{p, q\}$
 Estado: $s(t) \in \{S_0, S_1, S_2\}$
 Estado inicial: $s(0) = S_0$

Funções: As funções de transição de estado e saída são



Máquina de Mealy

Exemplo: Conversor BCD para Excesso 3

BCD Excesso 3

Conversão:

OS bits são apresentados do menos
Significativo para o mais significativo

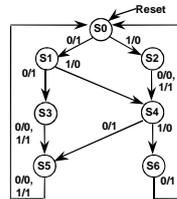
Para cada bit de entrada, corresponde
um bit de saída

0000	0011
0001	0100
0010	0101
0011	0110
0100	0111
0101	1000
0110	1001
0111	1010
1000	1011
1001	1100

Máquina de Mealy

Present State	Next State		Output	
	$X=0$	$X=1$	$X=0$	$X=1$
S0	S1	S2	1	0
S1	S3	S4	1	0
S2	S4	S4	0	1
S3	S5	S5	0	1
S4	S5	S6	1	0
S5	S0	S0	0	1
S6	S0	--	1	--

State Transition Table



Derived State Diagram

Exemplo de implementação em VHDL

```
entity mealy_4s is
  port
  (
    clk      : in  bit;
    data_in  : in  bit;
    reset    : in  bit;
    data_out : out bit_vector(1 downto 0)
  );
end entity;
```

Exemplo de implementação em VHDL

```
architecture rtl of mealy_4s is
  when s1=>
    if data_in = '1' then
      state <= s2;
    else
      state <= s1;
    end if;
  when s2=>
    if data_in = '1' then
      state <= s3;
    else
      state <= s2;
    end if;
  when s3=>
    if data_in = '1' then
      state <= s3;
    else
      state <= s1;
    end if;
  end case;
end if;
end process;
```

Exemplo de implementação em VHDL

```
process (state, data_in)
begin
  case state is
    when s0=>
      if data_in = '1' then
        data_out <= "00";
      else
        data_out <= "01";
      end if;
    when s1=>
      if data_in = '1' then
        data_out <= "01";
      else
        data_out <= "11";
      end if;
    when s2=>
      if data_in = '1' then
        data_out <= "10";
      else
        data_out <= "10";
      end if;
    when s3=>
      if data_in = '1' then
        data_out <= "11";
      else
        data_out <= "10";
      end if;
    end case;
  end process;
end rtl;
```

Exercício

Projetar e implementar o circuito da máquina de refrigerante utilizando uma máquina de Mealy.

Assumir que o usuário pode inserir um número indefinido de moedas (5c e 10c), sendo que a máquina deve retorná-las quando o valor do refrigerante for atingido.

O usuário pode solicitar a devolução de todas as moedas inseridas a qualquer momento.