

SSC0180- ELETRÔNICA PARA COMPUTAÇÃO

Professor: Vanderlei Bonato

EstagiárioPAE: Leandro S. Rosa

Valor binário x nível de tensão

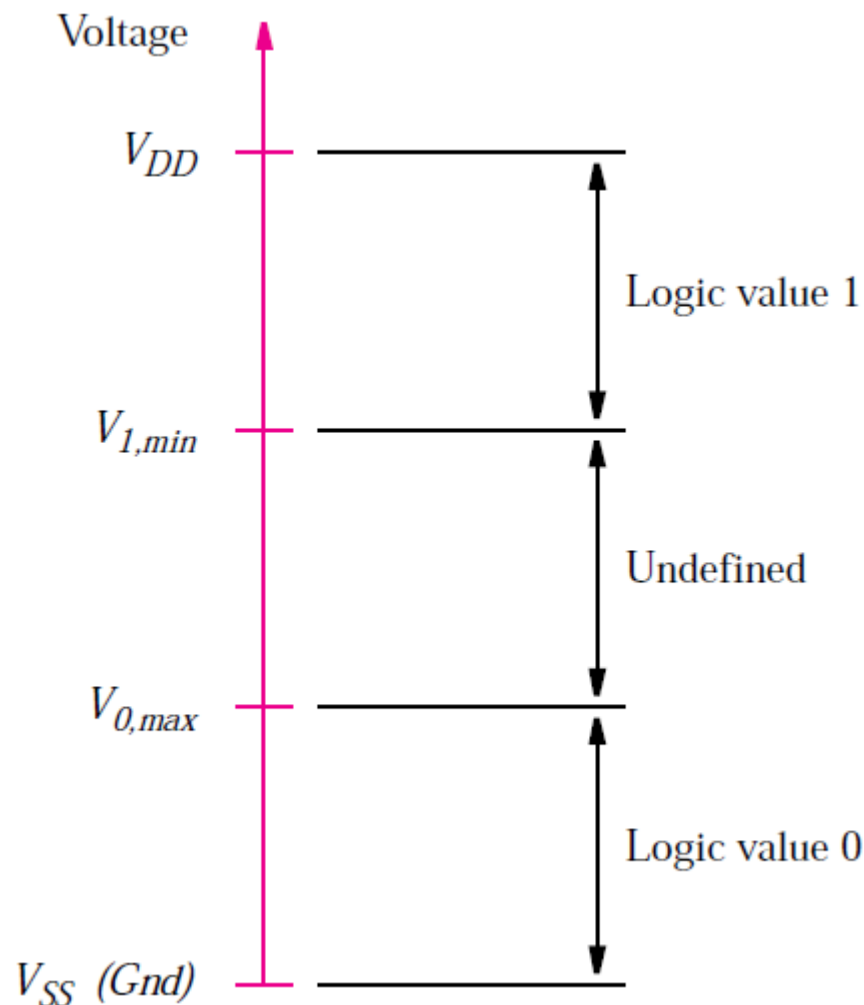


Figura 1. Representação de valores lógicos por níveis de tensão

Transistor NMOS como switch/chave

- Circuitos lógicos são construídos com transistores;
 - Assumindo que um transistor opera como um switch, o funcionamento é da seguinte maneira;

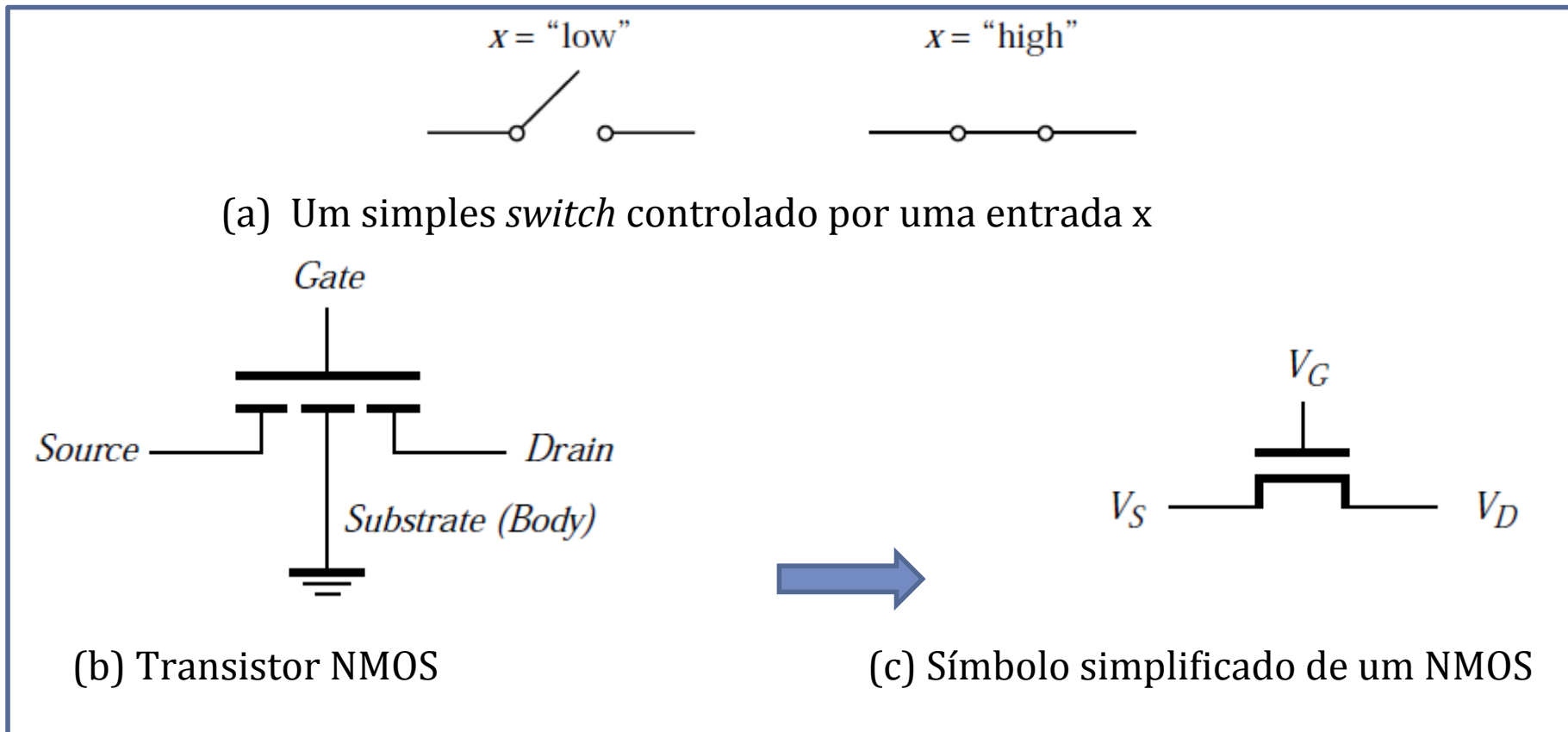
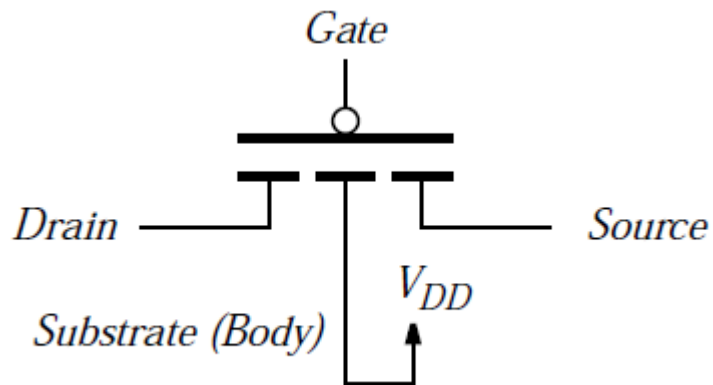


Figura 2. Transistor NMOS como switch

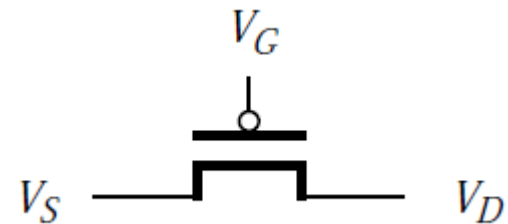
Transistor PMOS como switch



(a) Switch com comportamento oposto da Figura 2(a)

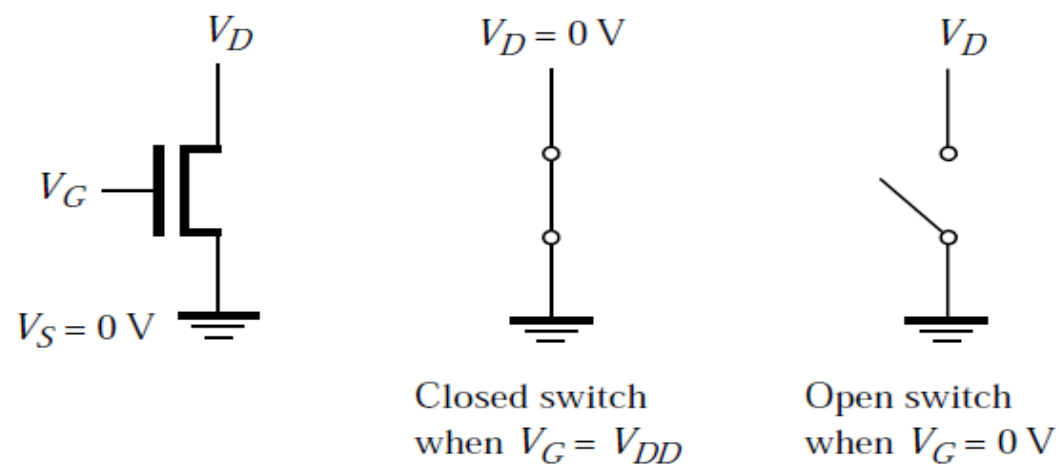


(b) Transistor PMOS

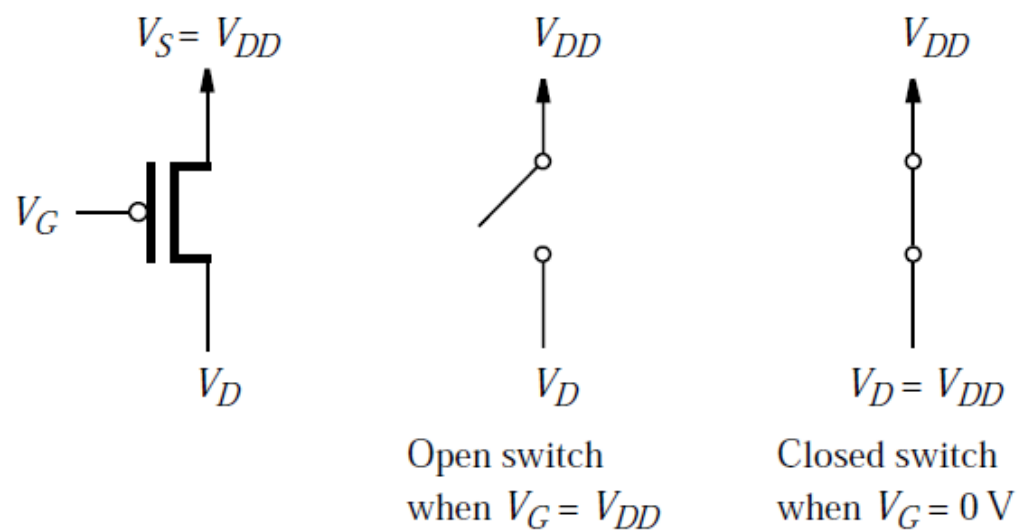


(c) Símbolo simplificado de um PMOS

Figura 3. Transistor PMOS como transistor



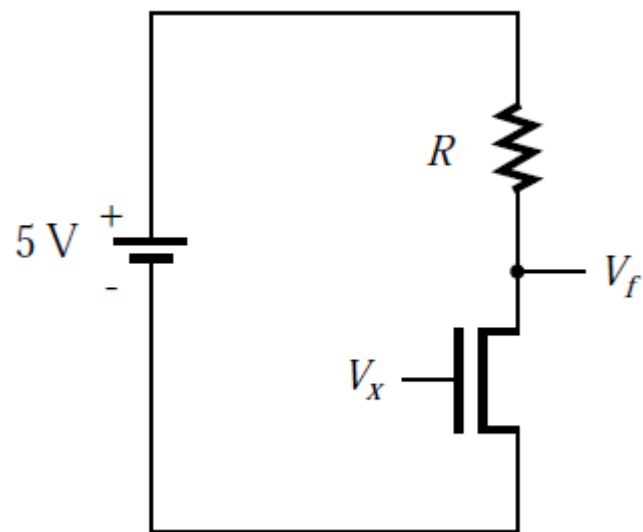
(a) Transistor NMOS



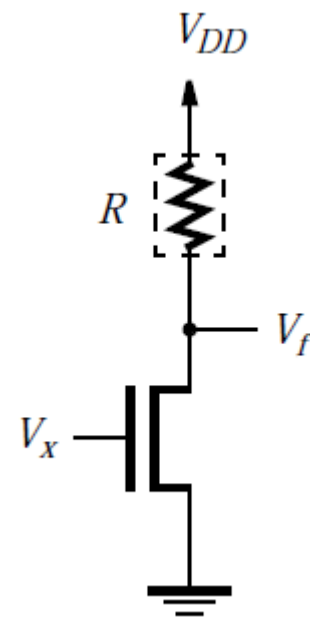
(b) Transistor PMOS

Figura 5. Transistor NMOS e PMOS em circuitos lógicos

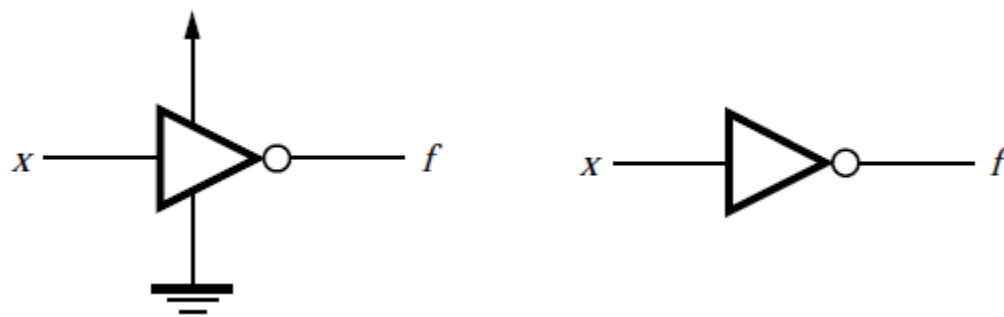
Porta lógica NMOS - Porta NOT



(a) Diagrama do circuito



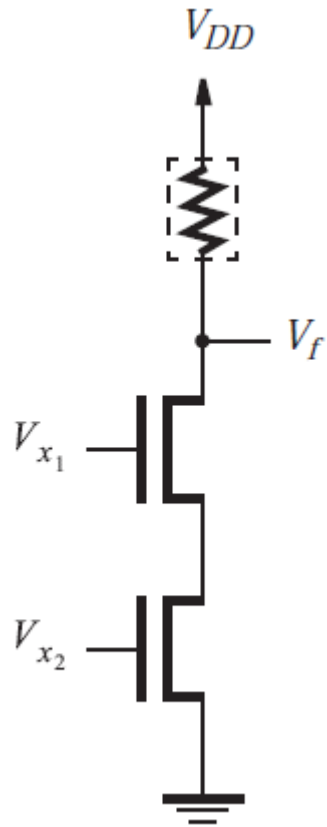
(b) Diagrama do circuito simplificado



(c) Símbolo gráfico

Figura 6. Porta lógica NOT construída de tecnologia NMOS

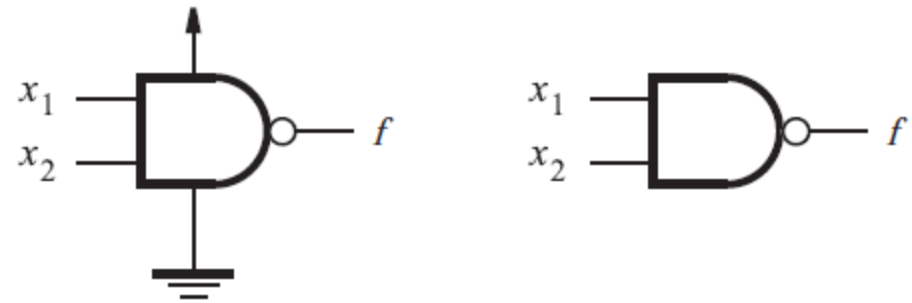
Porta lógica NMOS - Porta NAND



(a) Circuito

x_1	x_2	f
0	0	1
0	1	1
1	0	1
1	1	0

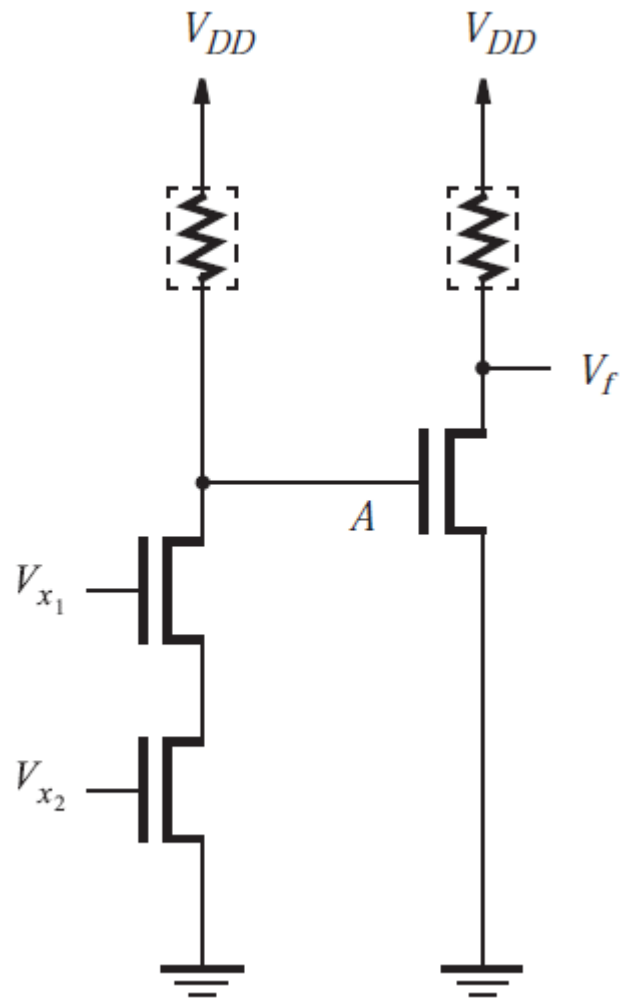
(b) Tabela-verdade



(c) Símbolo gráfico

Figura 7. Porta lógica NAND construída de tecnologia NMOS

Porta lógica AND construída de tecnologia NMOS



x_1	x_2	f
0	0	0
0	1	0
1	0	0
1	1	1

(b) Tabela-verdade

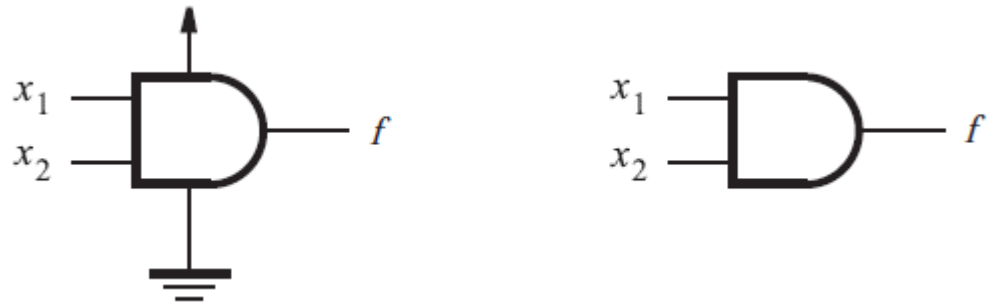
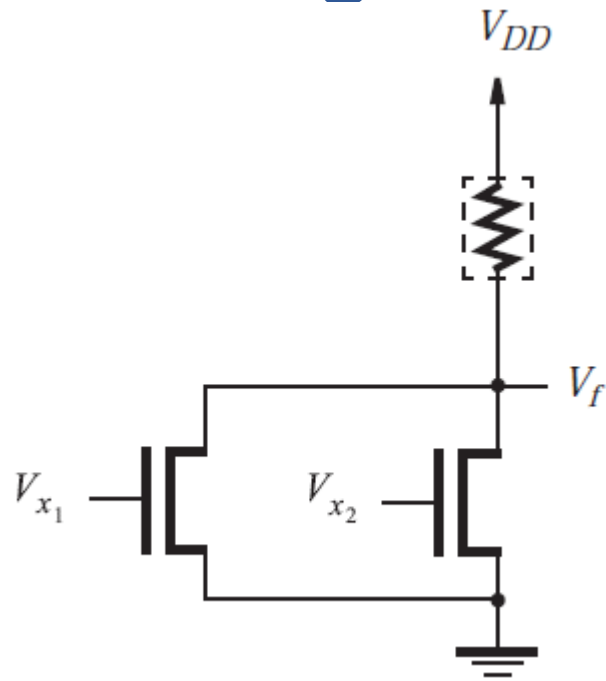


Figura 8. Porta lógica AND construída de tecnologia NMOS

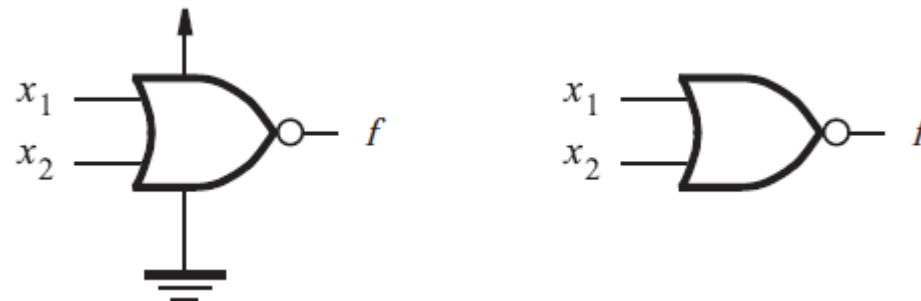
Porta lógica NMOS – Porta NOR



(a) Circuito

x_1	x_2	f
0	0	1
0	1	0
1	0	0
1	1	0

(b) Tabela-verdade



(c) Símbolo gráfico

Figura 9. Porta lógica NOR construída de tecnologia NMOS

Porta lógica NMOS - Porta OR

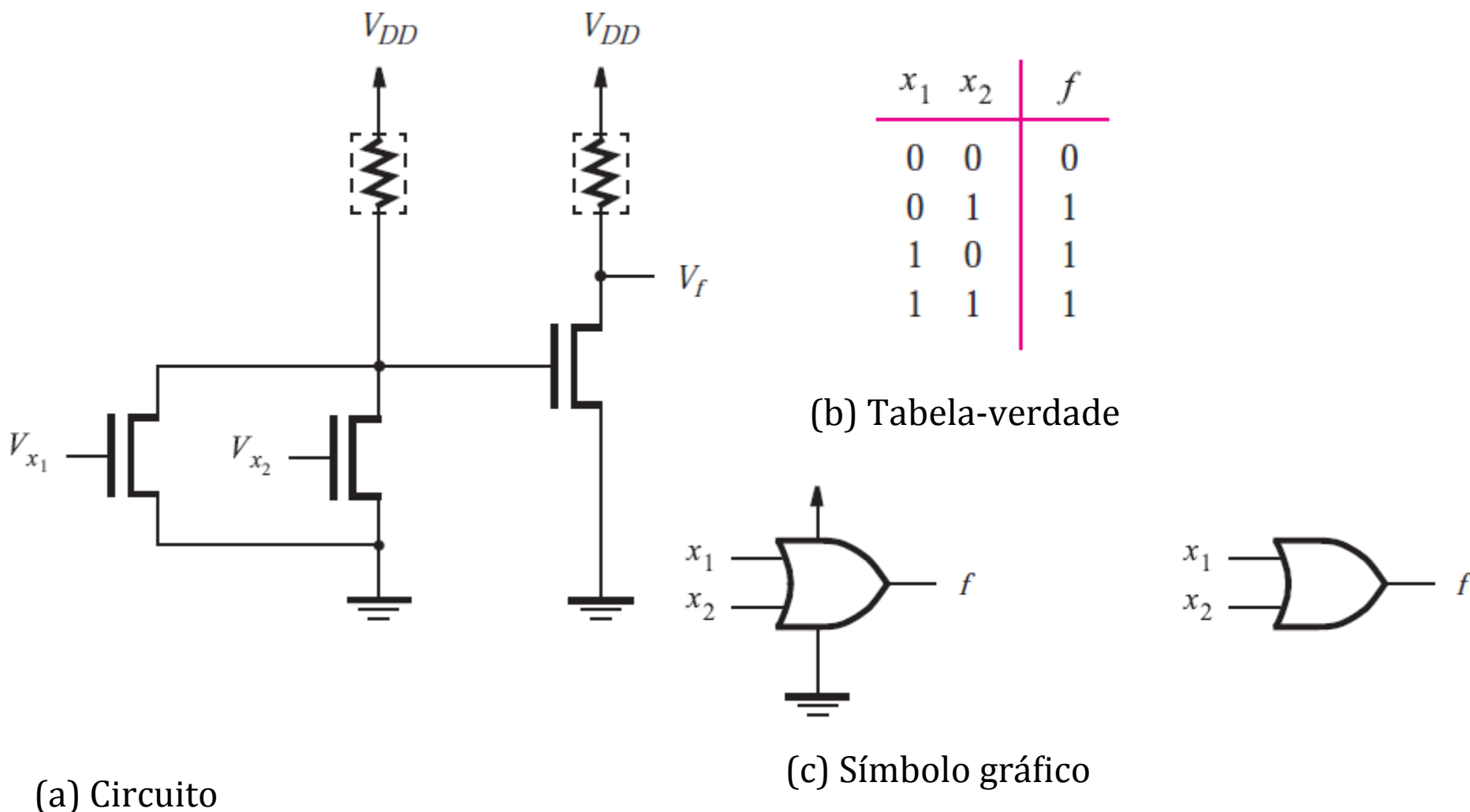


Figura 10. Porta lógica OR construída de tecnologia NMOS

Tecnologia CMOS X NMOS

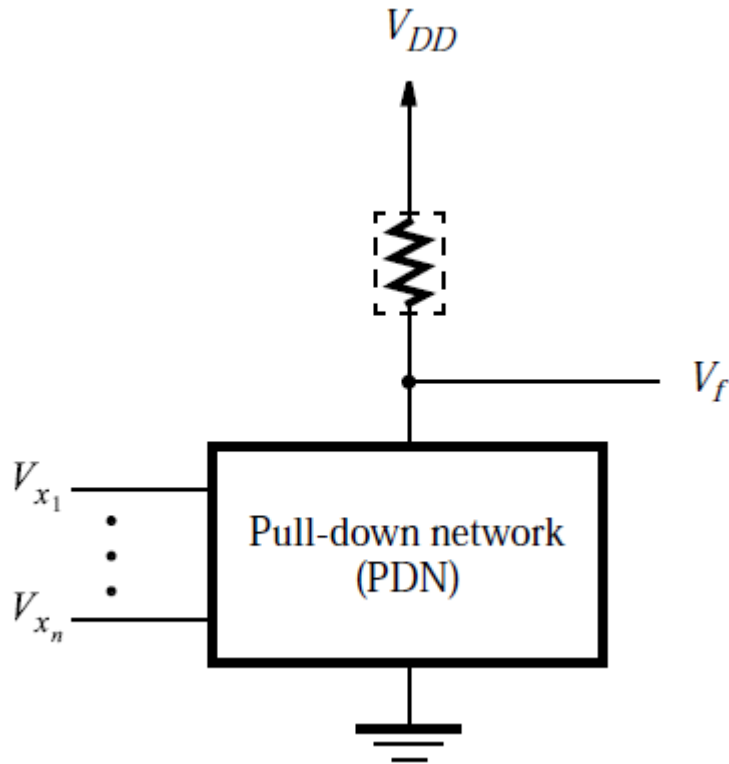


Figura 11. Estrutura de um circuito NMOS

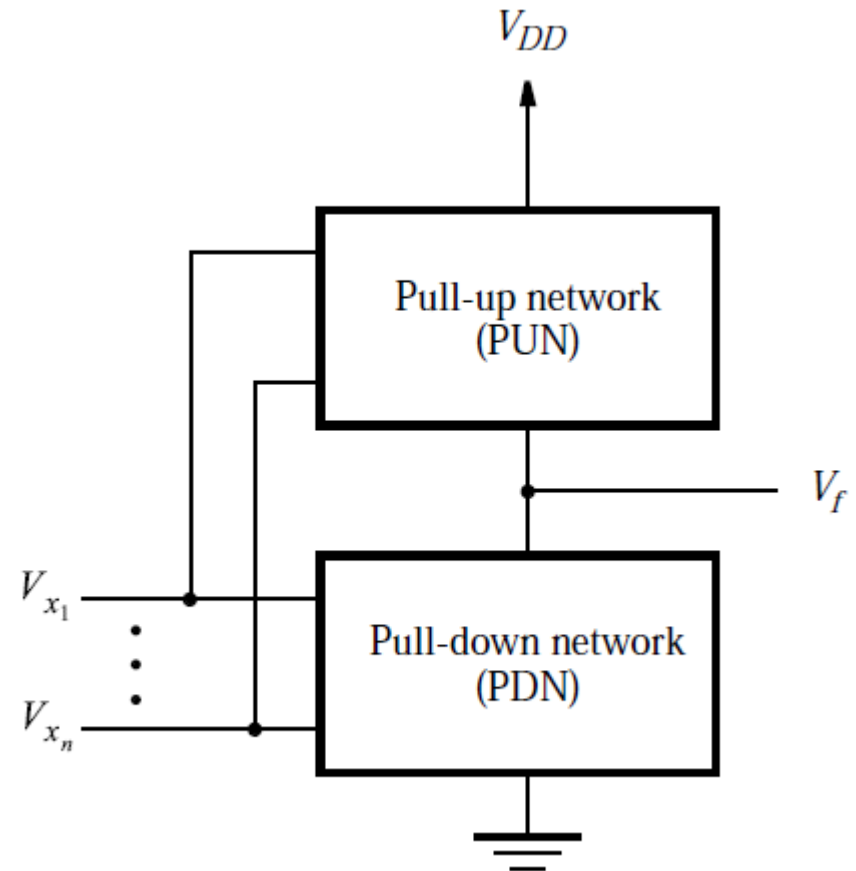


Figura 12. Estrutura de um circuito CMOS

Porta lógica CMOS

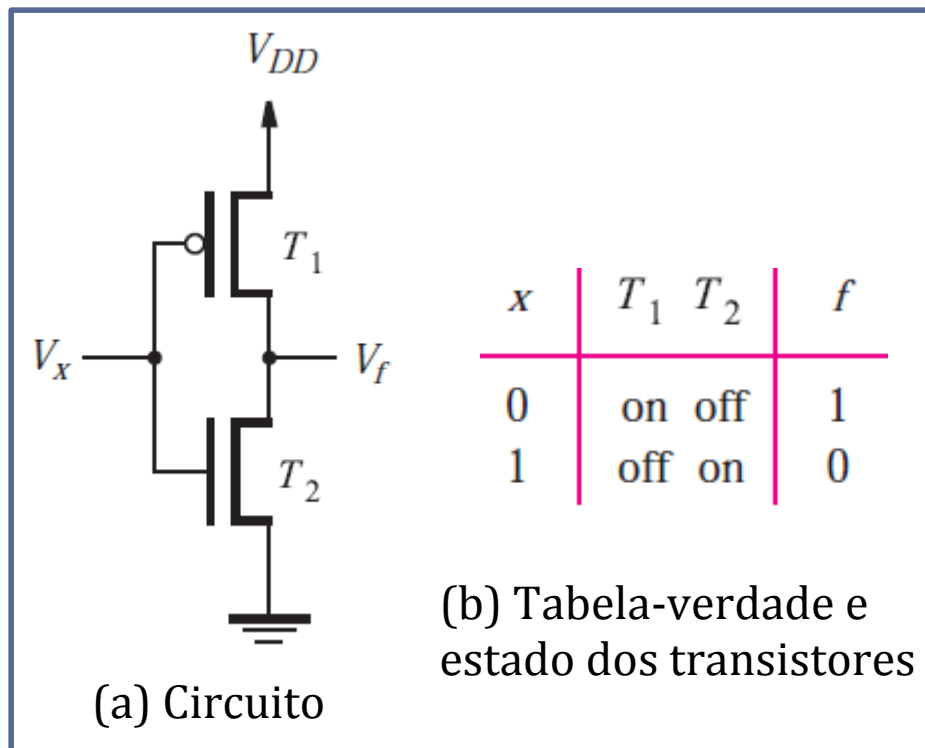


Figura 13. Porta lógica NOT construída de tecnologia CMOS

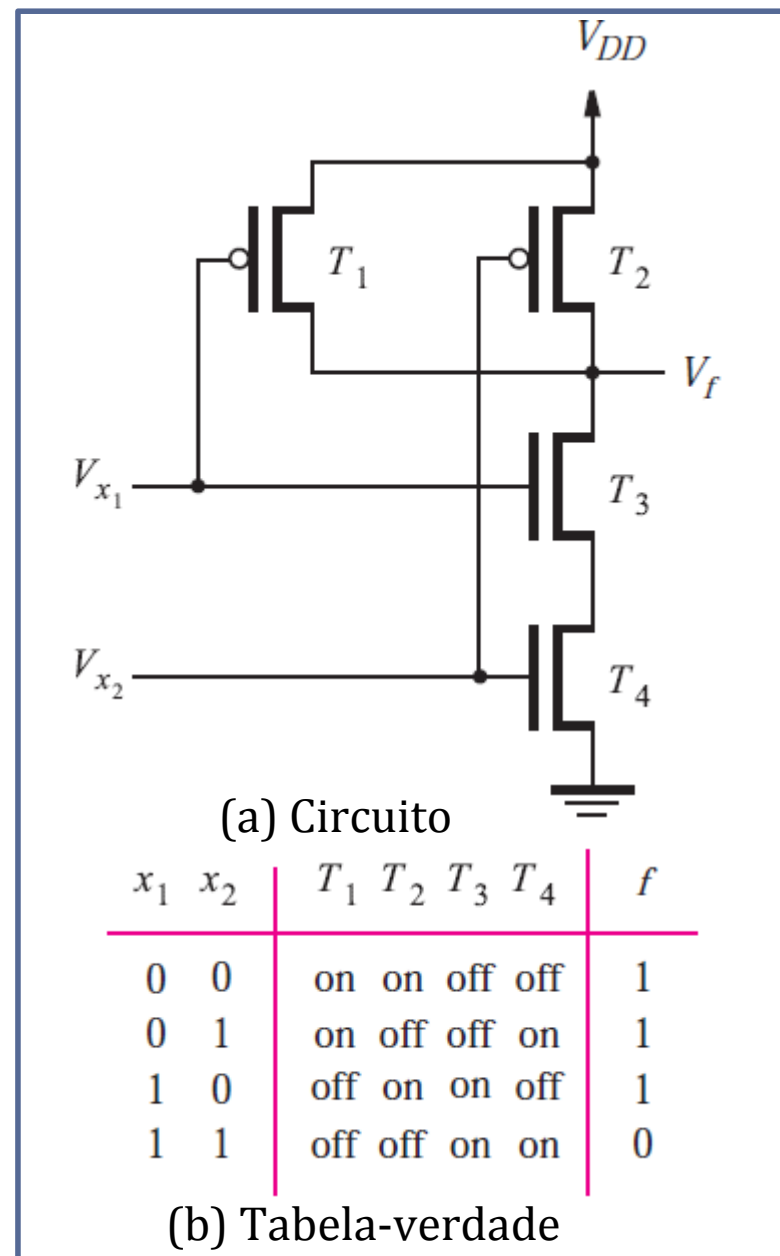
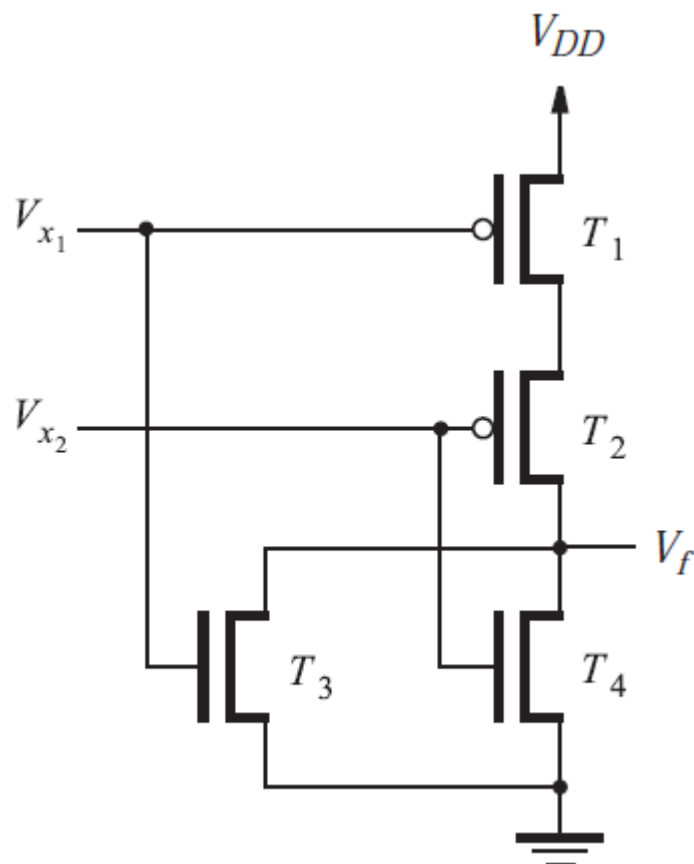


Figura 14. Porta lógica NAND construída de tecnologia CMOS

Porta l3gica CMOS – Porta l3gica NOR



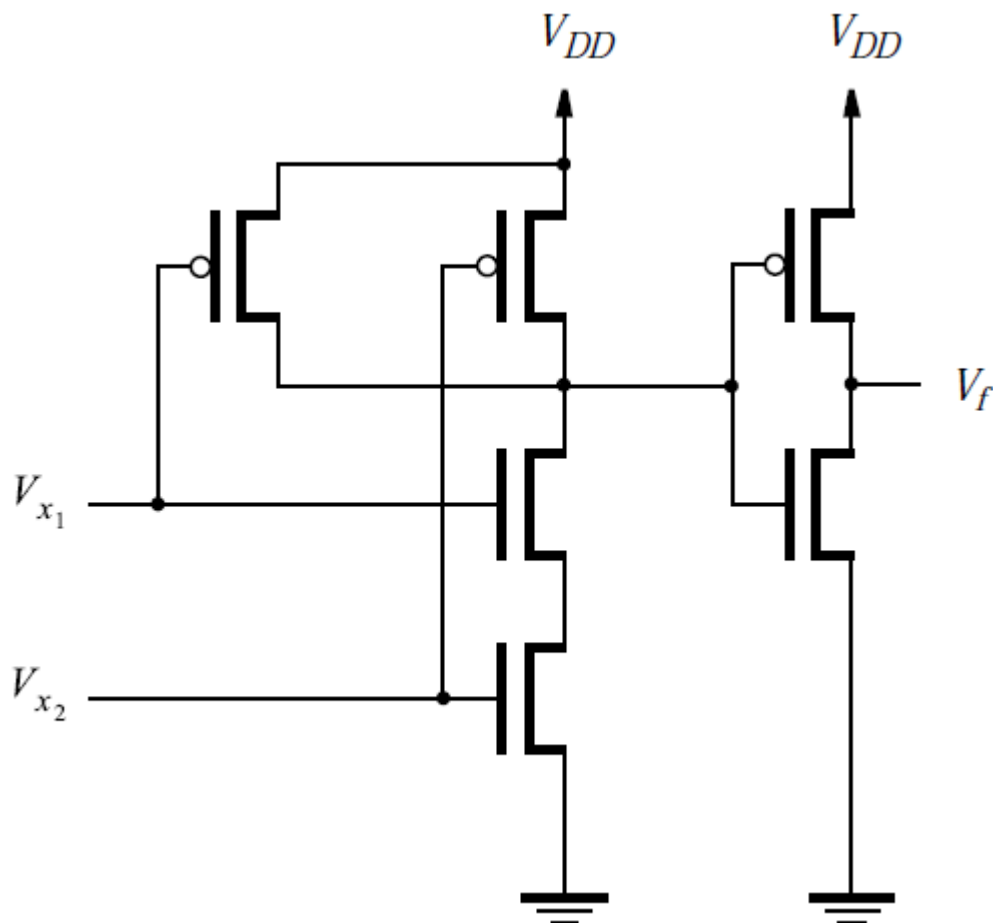
(a) Circuito

x_1	x_2	T_1	T_2	T_3	T_4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	0

(b) Tabela-verdade e estados dos transistores

Figura 15. Porta l3gica NOR constru3da de tecnologia CMOS

Porta lógica CMOS – Porta lógica AND



(a) Circuito

- O processo ao lado para derivar um circuito CMOS pode ser aplicado a funções lógicas mais gerais para criar portas lógicas mais complexas.
- Dois exemplos nos slides a seguir

Figura 16. Porta lógica AND construída de tecnologia CMOS

Exemplo 1

- Considere a função

$$f = \bar{x}_1 + \bar{x}_2\bar{x}_3$$

- Todas as variáveis aparecem em sua forma complementada, pode-se derivar a *network pull-up (PUN)*, a qual é constituída por um transistor PMOS controlado por x_1 em paralelo com uma combinação em série de Transistores PMOS controlado por x_2 e x_3 .
- Para o *network pull-down (PDN)* temos:

$$\bar{f} = \overline{\bar{x}_1 + \bar{x}_2\bar{x}_3} = x_1(x_2 + x_3)$$

- Esta expressão dá o PDN, que tem um transistor NMOS controlado por x_1 em série com a combinação em paralelo de transistores NMOS controlados por x_2 e x_3
- O circuito é mostrado na Figura 17 (ao lado)

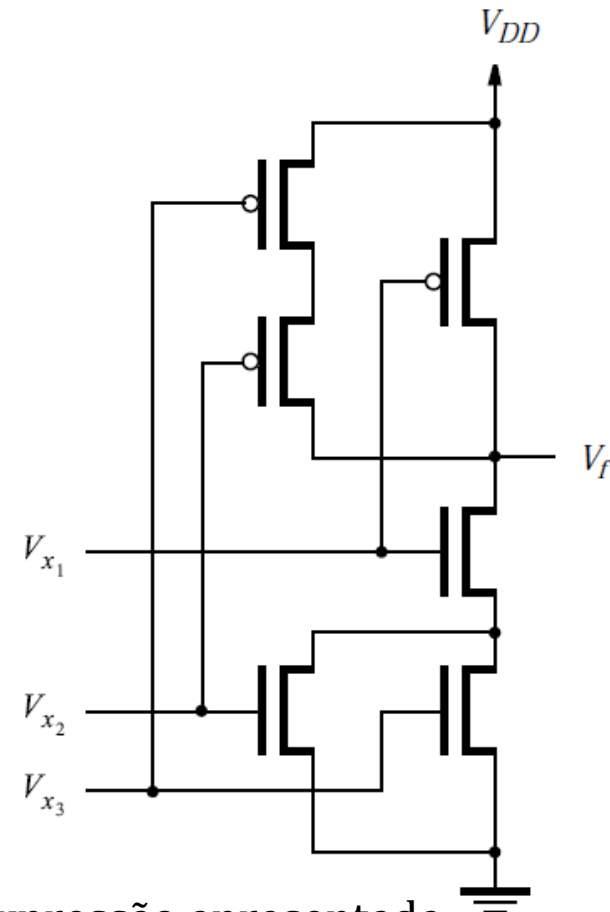


Figura 17. Circuito da expressão apresentada

Exemplo 2

- Considere a função

$$f = \bar{x}_1 + (\bar{x}_2 + \bar{x}_3)\bar{x}_4$$

- Então

$$\bar{f} = x_1(x_2x_3 + x_4)$$

- Essas expressões levam diretamente ao circuito da Figura 18.

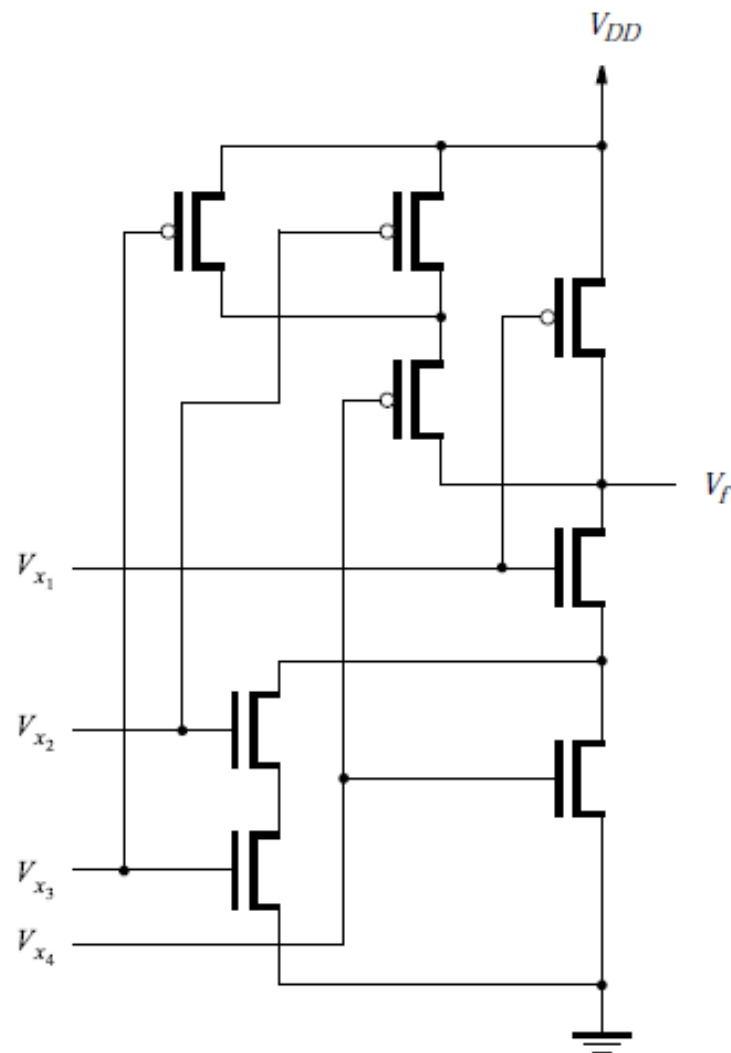
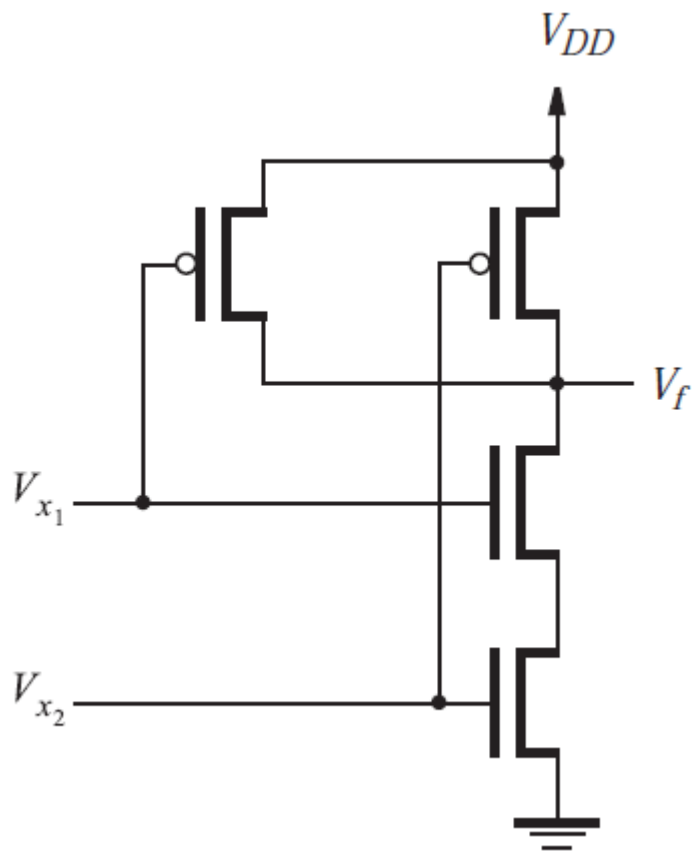


Figura 18. Circuito da expressão apresentada



(a) Circuito- Porta lógica NAND construída de CMOS

V_{x_1}	V_{x_2}	V_f
L	L	H
L	H	H
H	L	H
H	H	L

(b) Níveis de tensão do circuito (a)

Figura 19. Níveis de tensão e circuito

x_1	x_2	f
0	0	1
0	1	1
1	0	1
1	1	0



(a) Tabela-verdade com lógica positiva e símbolo da porta

x_1	x_2	f
1	1	0
1	0	0
0	1	0
0	0	1



(b) Tabela-verdade com lógica negativa e símbolo da porta

Figura 20. Interpretação do circuito apresentado na Figura 19(a)

V_{x_1}	V_{x_2}	V_f
L	L	L
L	H	L
H	L	L
H	H	H

(a) Níveis de tensão

x_1	x_2	f
0	0	0
0	1	0
1	0	0
1	1	1



(b) Lógica positiva

x_1	x_2	f
1	1	1
1	0	1
0	1	1
0	0	0



(c) Lógica negativa

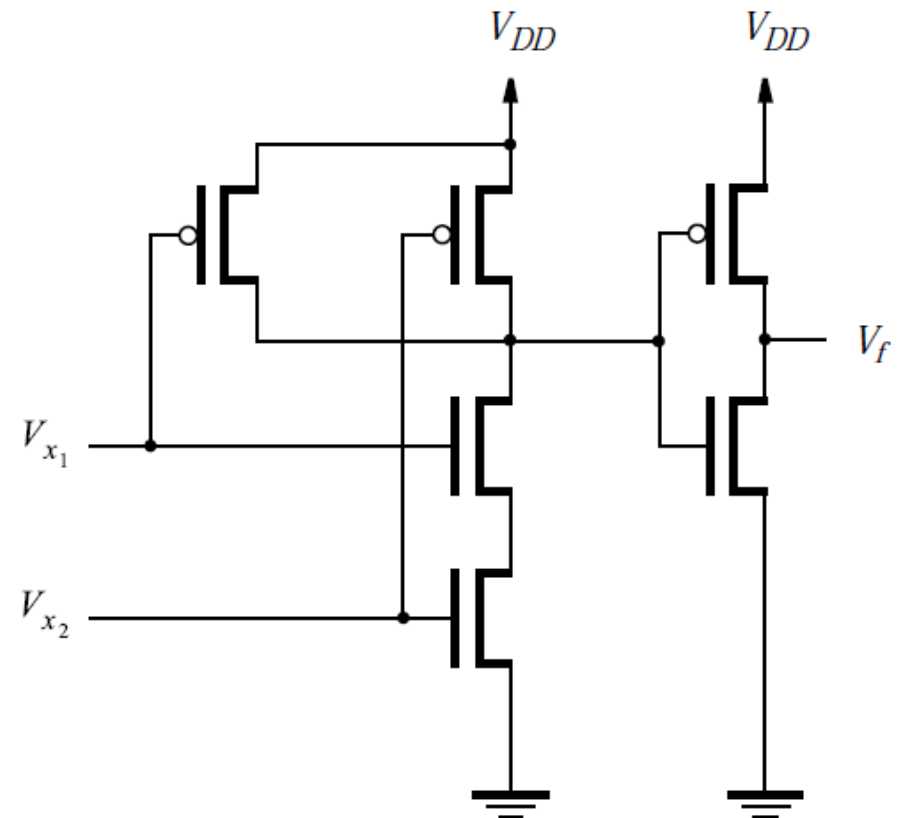


Figura 22. Porta lógica AND construída de CMOS

Figura 21. Interpretação do circuito apresentado na Figura 22

Aspectos práticos sobre transistores

- Serão discutidos os seguintes aspectos:
 - Como os transistores são fabricados em silício;
 - Como os transistores operam;
 - Robustez;
 - Atrasos de propagação de sinal;
 - Dissipação de energia.
- Um transistor é fabricado por meio da construção de áreas no substrato de silício que têm um excesso de carga elétrica positiva ou negativa;
 - Áreas carregadas negativamente são chamadas de tipo n
 - Áreas carregadas positivamente são chamadas de tipo p

Comportamento de um NMOS

Situação 1 - Transistor NMOS com *source* e *gate* conectados ao terra

($V_S = V_G = 0V$)

- Sendo, V_S – nível de tensão aplicado no terminal *source*
- V_G – nível de tensão aplicado no terminal *gate*
- V_D – nível de tensão aplicado no terminal *drain*
- V_{GS} – tensão *gate* para *source*

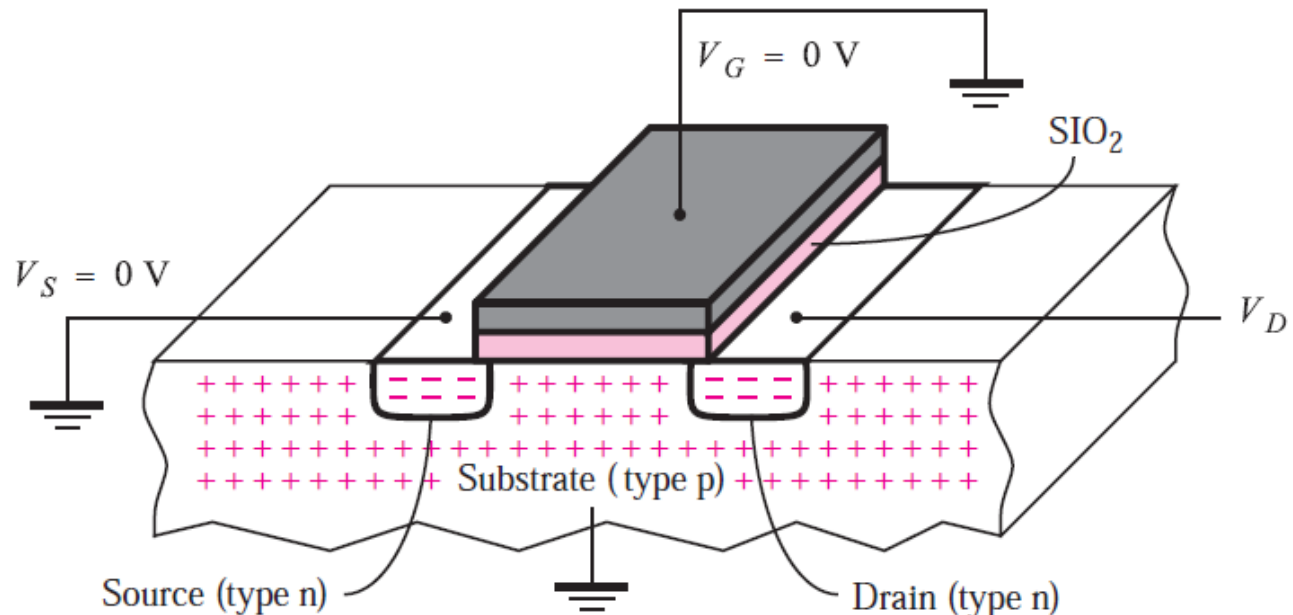


Figura 23. Quando o $V_{GS} = 0V$ o transistor está *off*, não havendo fluxo de corrente entre o *source* e o dreno ($I_D = 0$)

Comportamento de um NMOS

Situação 2 – Transistor NMOS com *gate* conectados Vdd ($V_g = 5V$)

- Sendo, V_s – nível de tensão aplicado no terminal *source*
- V_g – nível de tensão aplicado no terminal *gate*
- V_d – nível de tensão aplicado no terminal *drain*
- V_{gs} – tensão *gate* para *source*

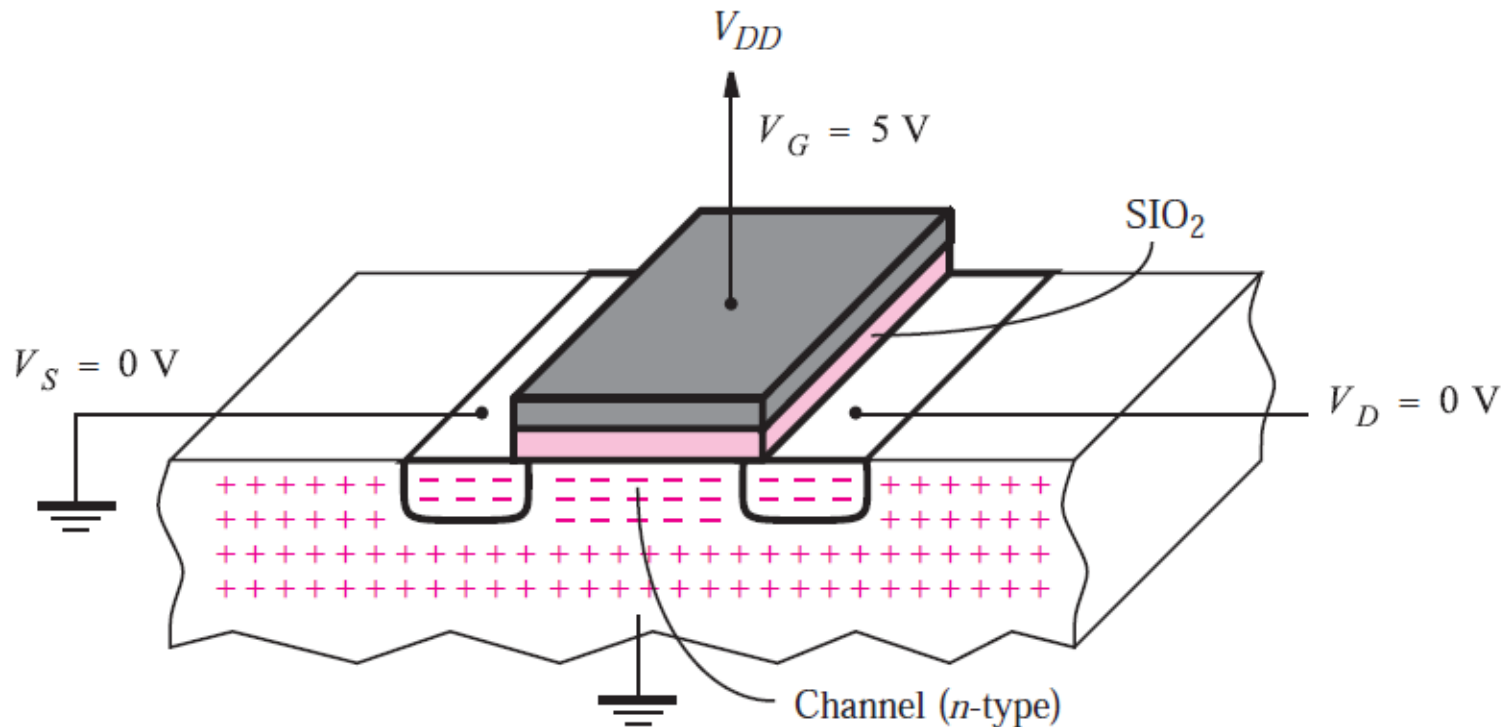


Figura 24. Quando o $V_{gs} = 5V$ o transistor está *on*

Comportamento de um NMOS

- Observação: Se V_{GS} for maior do que um valor mínimo de tensão positiva, chamado tensão *threshold* (V_T), então o estado do transistor muda de uma chave aberta para fechada. O nível exato de V_T depende de muitos fatores, mas é tipicamente cerca de 0,2 V.

Equação de Mosfet

Região de trípodo ou linear

Quando $0 < V_{DS} < V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

Onde,

- I_D é a corrente do dreno, que flui do dreno para o *source*
- k'_n é o parâmetro de transcondutância do processo, o qual é uma constante que depende da tecnologia a ser utilizada e sua unidade é A/V².
- W é a largura do canal
- L é o comprimento do canal, ou seja é a dimensão do *gate* entre a fonte e dreno
- V_{GS} é a tensão *gate* para *source*
- V_T é a tensão de limiar (*threshold*)
- V_{DS} é a tensão do dreno para o *source*

Equação de Mosfet

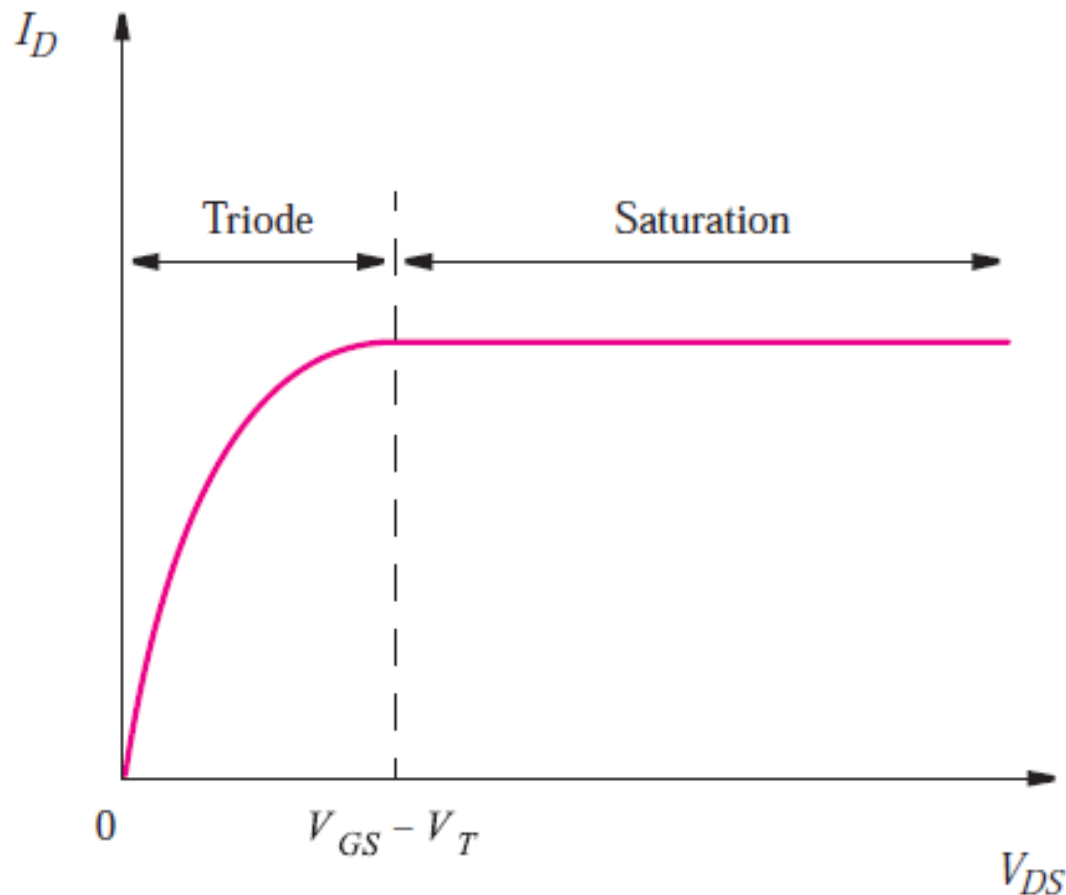
Região de saturação

Quando $V_{ds} \geq V_{gs} - V_t$

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_T)^2$$

Onde,

- I_D é a corrente do dreno, que flui do dreno para o *source*
- k'_n é o parâmetro de transcondutância do processo, o qual é uma constante que depende da tecnologia a ser utilizada e sua unidade é A/V^2 .
- W é a largura do canal
- L é o comprimento do canal, ou seja é a dimensão do *gate* entre a fonte e dreno
- V_{gs} é a tensão *gate* para *source*
- V_T é a tensão *threshold*
- V_{DS} é a tensão do dreno para o *source*



- A Figura 25 ilustra o relacionamento de corrente-tensão para transistores NMOS para um valor fixo de $V_{GS} > V_T$;
- é indicado o ponto em que o transistor deixa a região de triodo e entra na região de saturação, na qual ocorre quando $V_{DS} = V_{GS} - V_T$.

Figura 25. Relacionamento de corrente-tensão para NMOS

Exemplo 1

Assumindo que $K'n = 60 \mu\text{A}/\text{V}^2$, $W/L = 2.0 \mu\text{m}/0.5 \mu\text{m}$, $V_S = 0 \text{ V}$, $V_G = 5 \text{ V}$, e $V_T = 1 \text{ V}$.

1. Se $V_D = 2.5 \text{ V}$,

- logo $V_{ds} < V_{gs} - V_T$, ($2.5 < 5 - 1$)
- A corrente do transistor é dada por:

Assumindo que $K'n = 60 \mu\text{A}/\text{V}^2$, $W/L = 2.0 \mu\text{m}/0.5 \mu\text{m}$, $V_S = 0 \text{ V}$, $V_G = 5 \text{ V}$, e $V_T = 1 \text{ V}$.

1. Se $V_D = 2.5 \text{ V}$,
- logo $V_{ds} < V_{gs} - V_T$, ($2.5 < 5 - 1$)
 - A corrente do transistor é dada por:

$$60 \frac{2}{0.5} [(5 - 1) 2.5 - \frac{1}{2} 2.5^2] = 1.65 \text{ ou } \approx 1.7 \text{ mA}$$

$$60 \cdot 2 / 0.5 [(5 - 1) 2.5 - 1/2 \cdot 2.5^2] = 1.65 \text{ ou } \approx 1.7 \text{ mA}$$

Exemplo 2

Assumindo que $K'n = 60 \mu\text{A}/\text{V}^2$, $W/L = 2.0 \mu\text{m}/0.5 \mu\text{m}$, $V_S = 0 \text{ V}$, $V_G = 5 \text{ V}$, e $V_T = 1 \text{ V}$.

1. Se $V_D = 5 \text{ V}$,

- $V_{ds} \geq V_{gs} - V_t$
- Logo $V_{ds} \geq V_{gs} - V_t$ ou seja, $(5.0 \geq 5-1)$
- A corrente de saturação do transistor é dada por:

Assumindo que $K'n = 60 \mu\text{A}/\text{V}^2$, $W/L = 2.0 \mu\text{m}/0.5 \mu\text{m}$, $V_S = 0 \text{ V}$, $V_G = 5 \text{ V}$, e $V_T = 1 \text{ V}$.

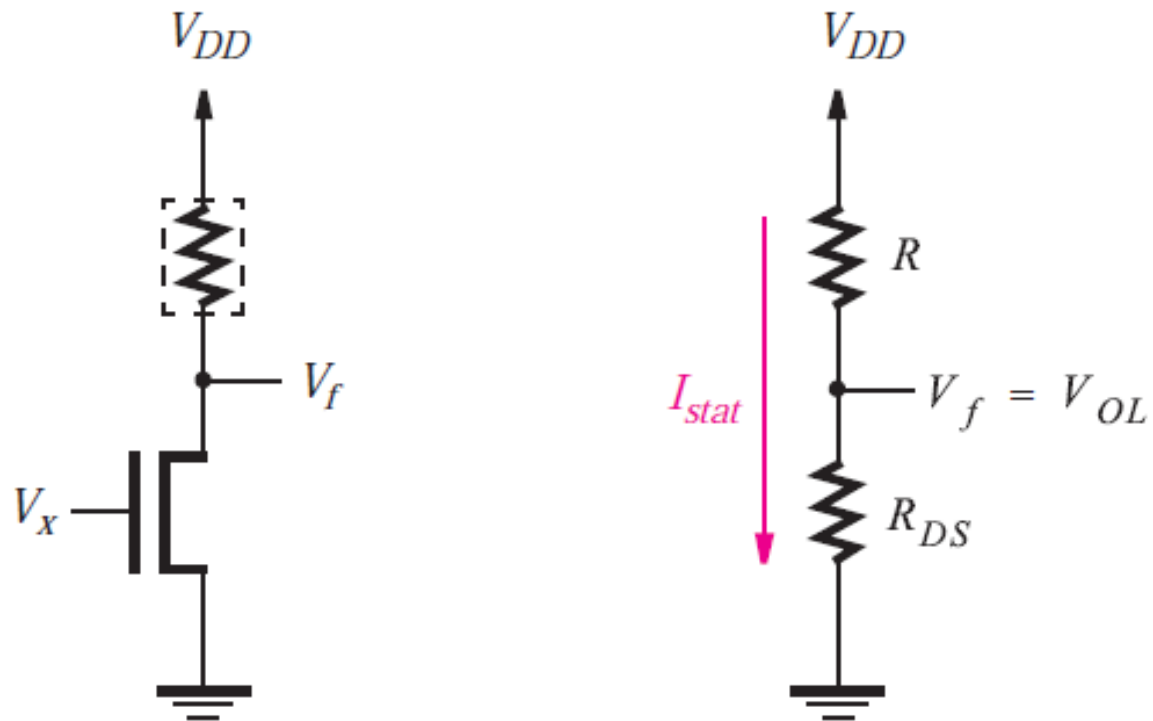
1. Se $V_D = 5 \text{ V}$,
 - $V_{ds} \geq V_{gs} - V_t$
 - Logo $V_{ds} \geq V_{gs} - V_t$ ou seja, $(5.0 \geq 5-1)$
 - A corrente de saturação do transistor é dada por:

$$\frac{1}{2} 60 \frac{2}{0.5} (5 - 1)^2 = 1.92 \approx 2 \text{ mA}$$

$$\frac{1}{2} 60 \frac{2}{0.5} (5 - 1)^2 = 1.92 \approx 2 \text{ mA}$$

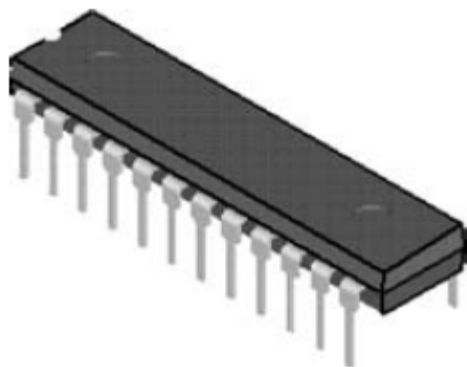
Comportamento de um PMOS

Mosfet e resistência

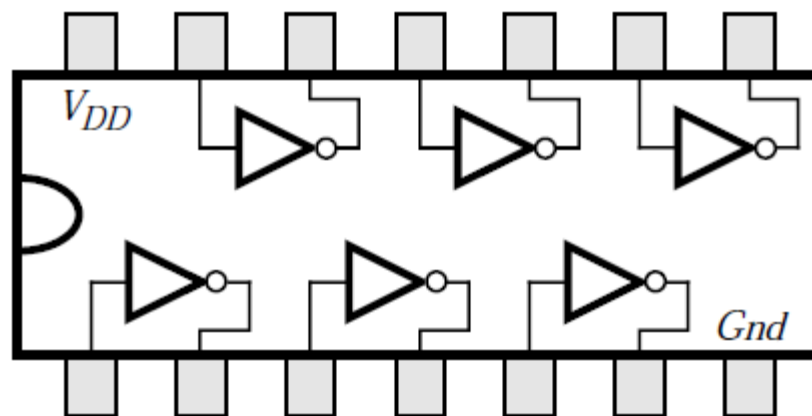


Chips padrão

- Existem muitos tipos de chips circuito integrado para implementar circuitos lógicos;
 - Série de chips 7400



(a) Encapsulamento DIP (dual-inline package)



(b) Estrutura de um chip 7404

Figura 23. Chip série 7400

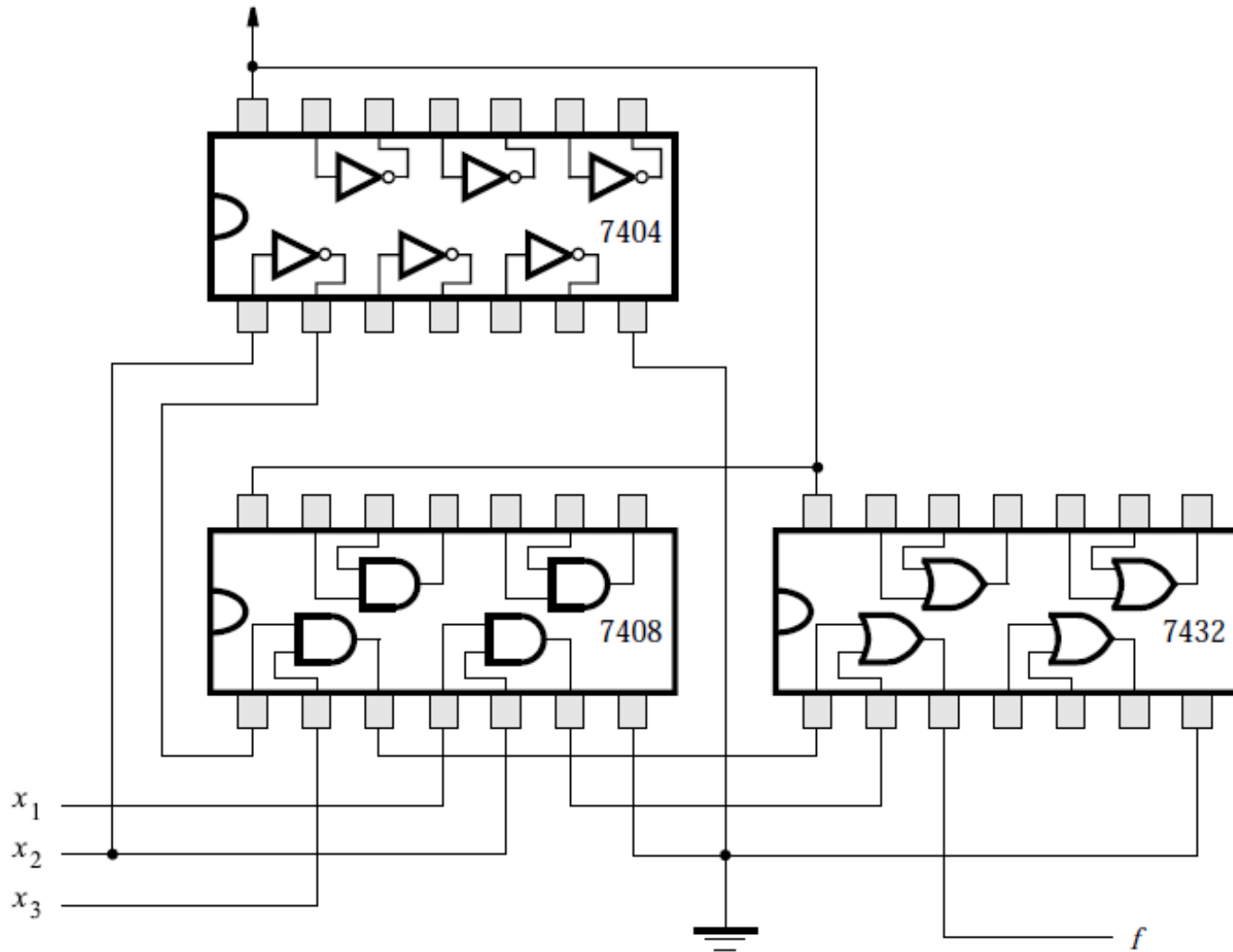


Figura 24. Uma implementação de $f = x_1x_2 + \bar{x}_2x_3$

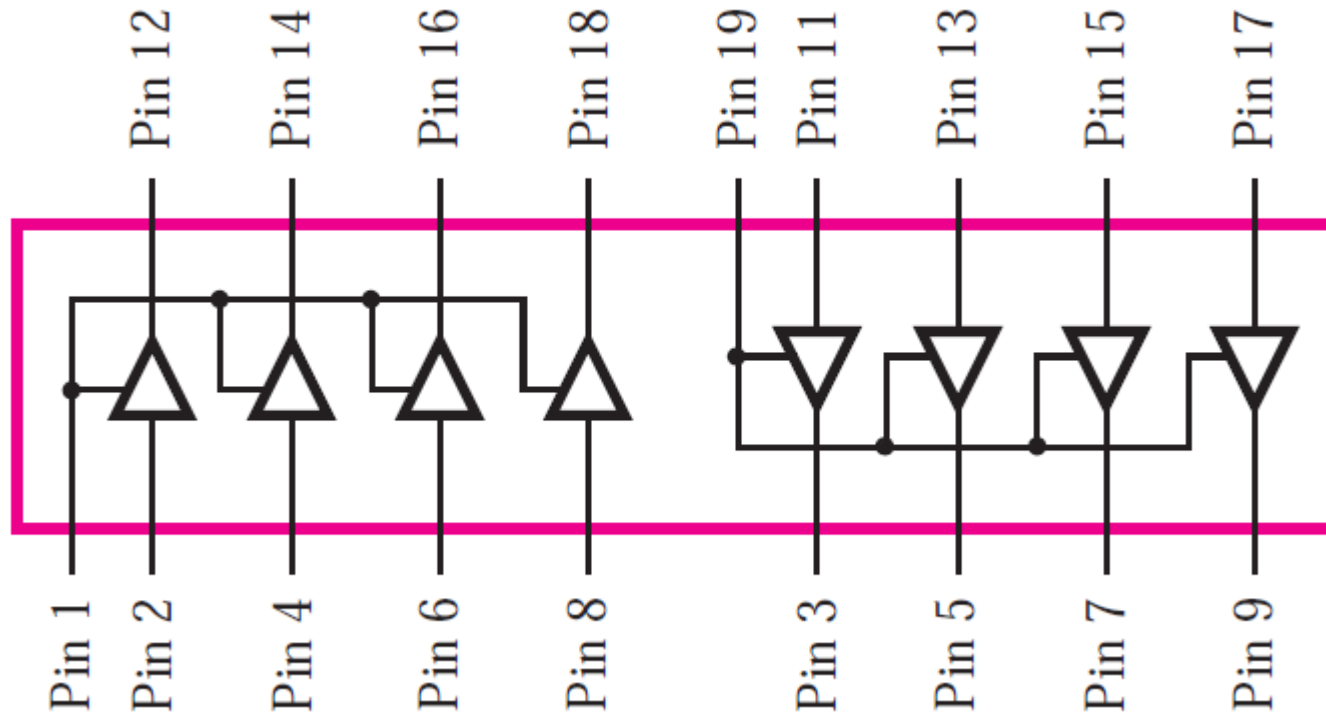


Figura 25. 0 chip *buffer* 74244

Dispositivos lógicos programáveis (DLP)

- A função de cada uma das partes da série 7400 é fixa (Cada chip é limitado algumas portas lógicas)
- O uso desses chips torna-se ineficiente para a construção de grandes circuitos lógicos
- É possível construir chips com um grande número de portas lógicas e com estrutura não fixada.

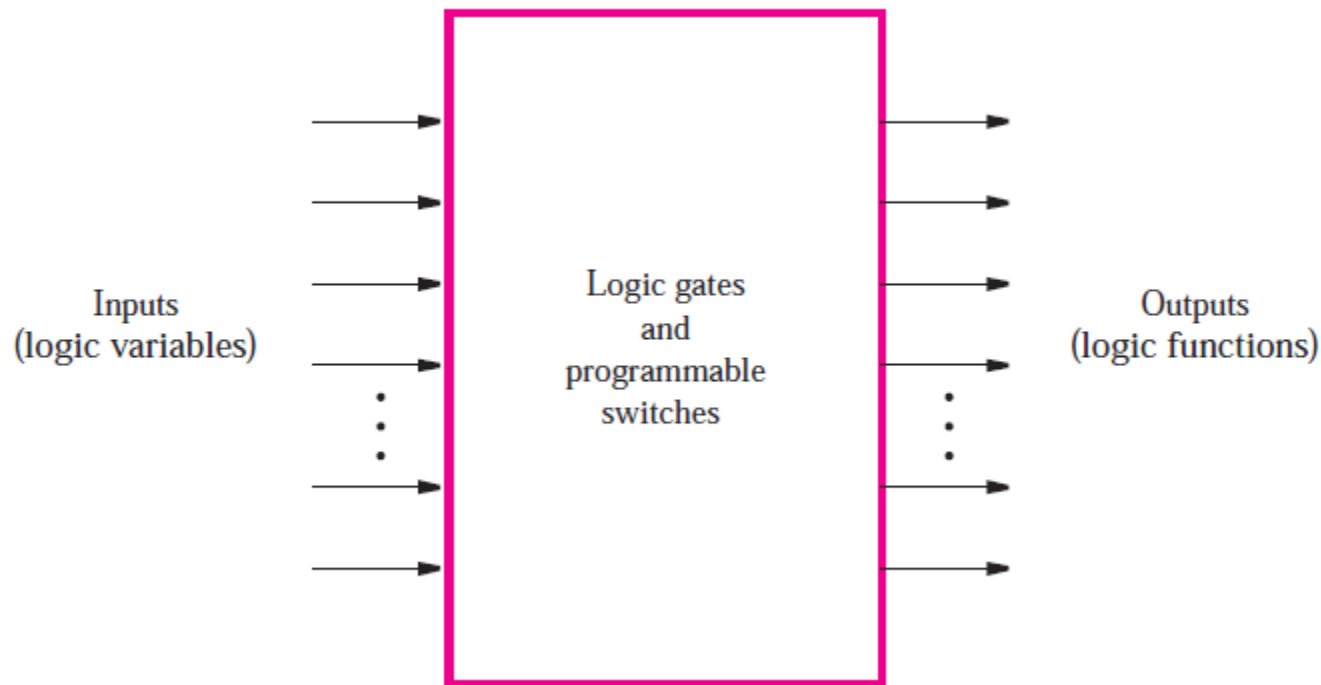


Figura 26. Dispositivo lógico programável com uma “caixa preta”

Programmable Logic Array (PLA)

- O primeiro tipo de DLP construído;
- As funções lógicas podem ser construídas na forma soma de produtos;
- PLA é uma coleção de portas ANDs que alimentam um conjunto de portas OR;

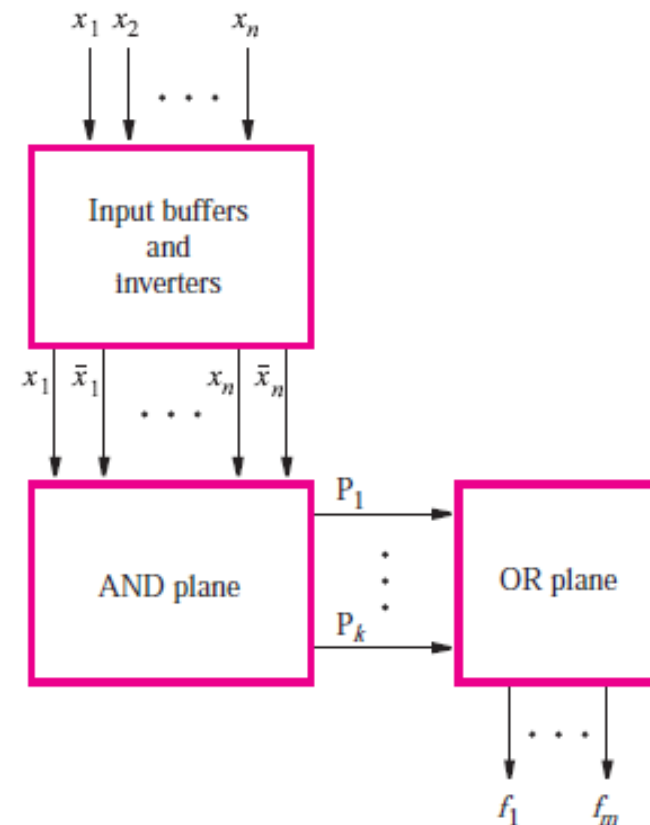


Figura 26. Estrutura geral de um PLA

PLA

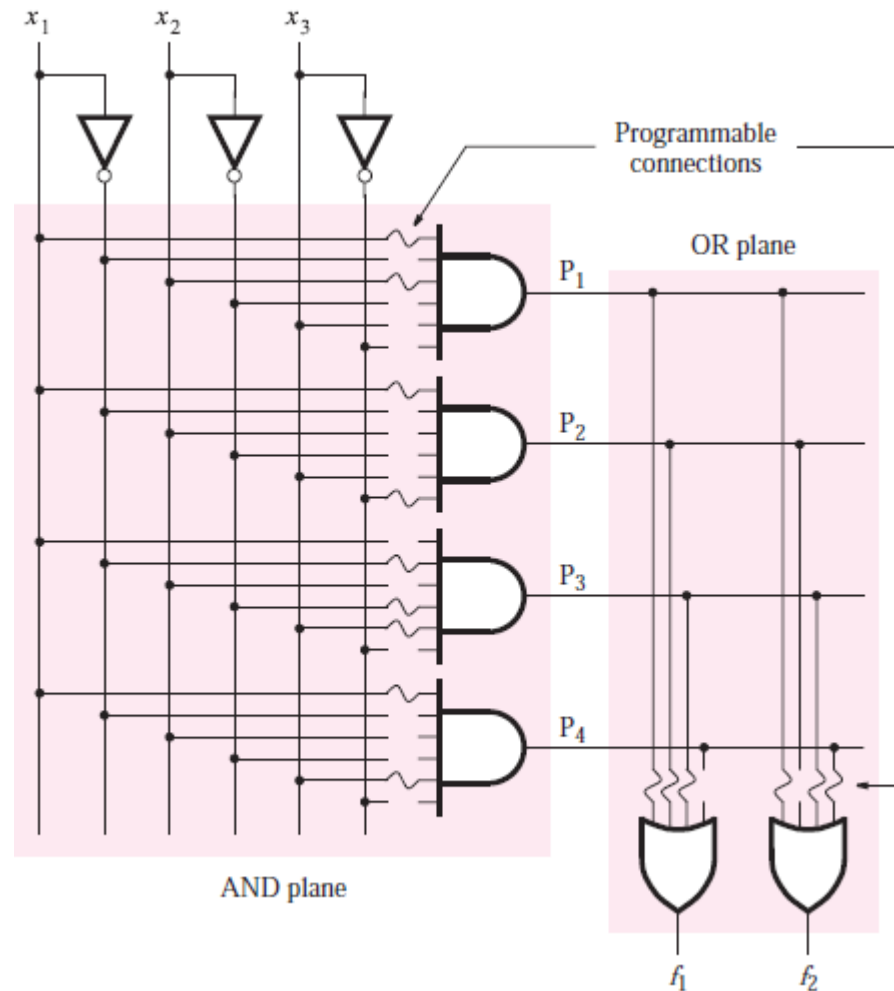


Figura 27. Diagrama nível de porta detalhado de um pequeno PLA

PLA

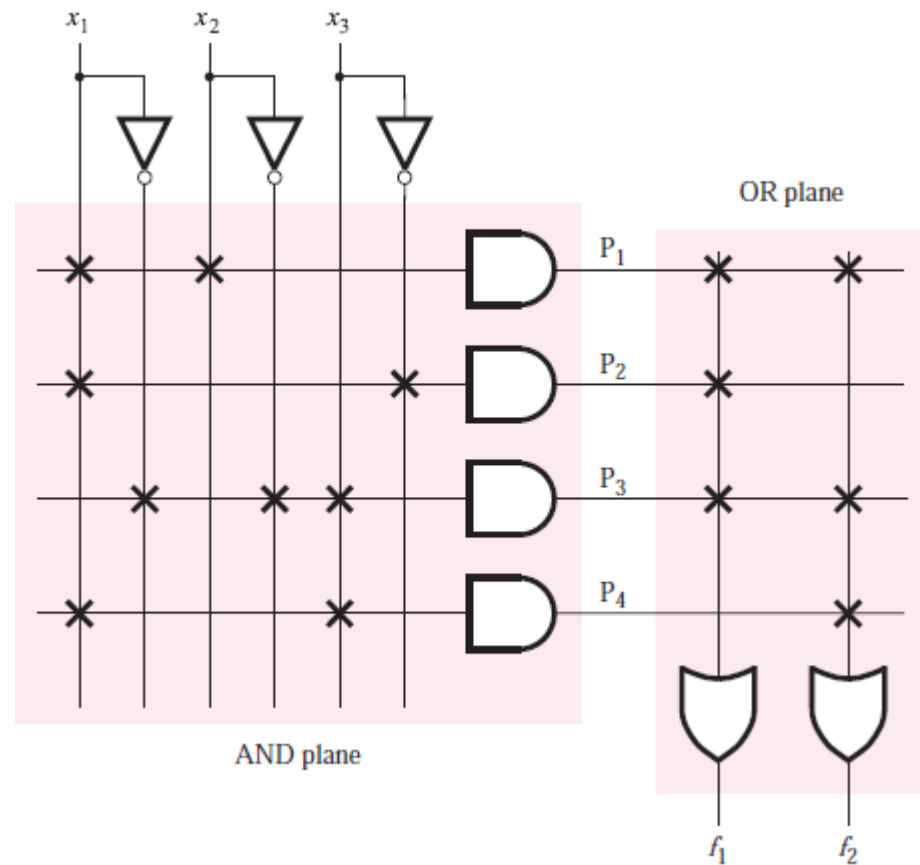


Figura 28. Esquemático customizado para o PLA da figura 27

Programmable Array Logic (PAL)

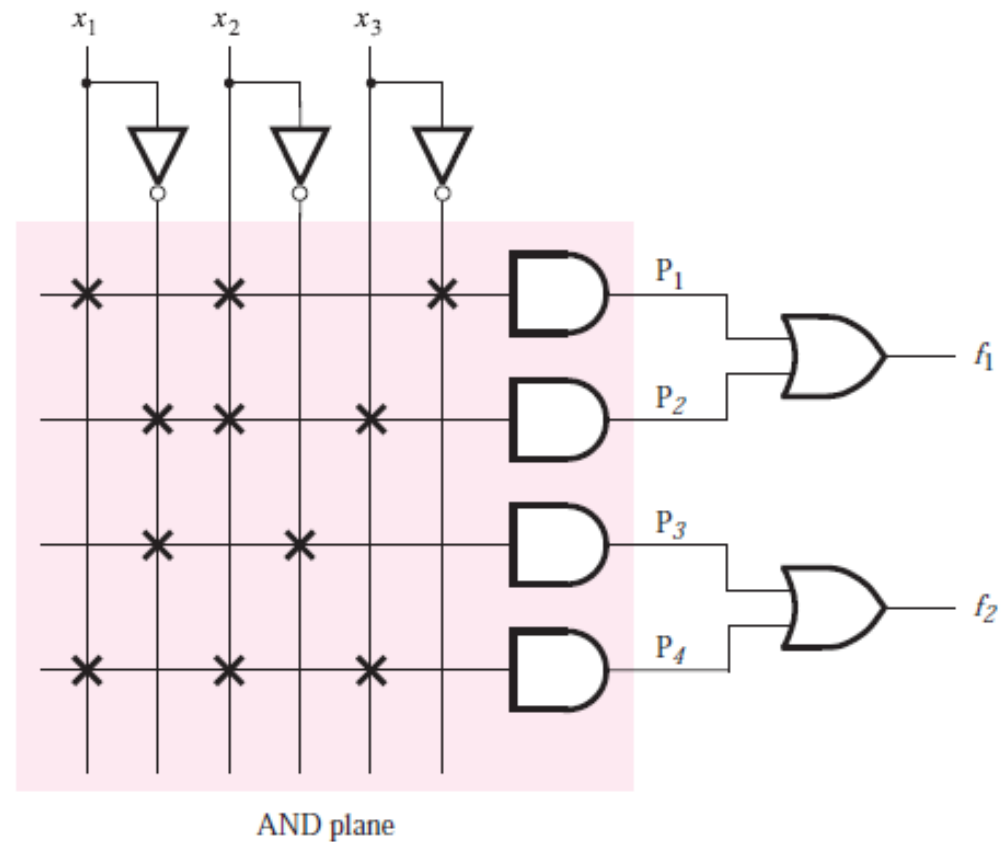


Figura 28. Um exemplo de PAL

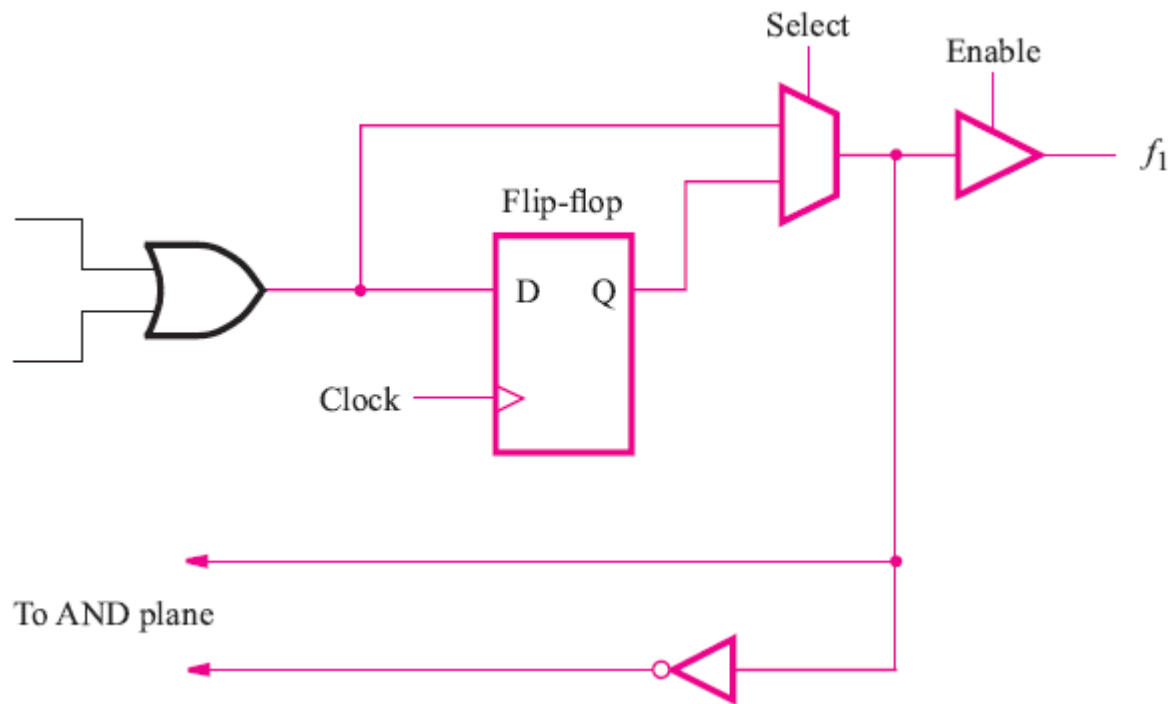


Figura 29. Circuito extra adicionado a saída das porta OR do circuito da figura 28



Figura 30. Uma unidade de programação de um PLD

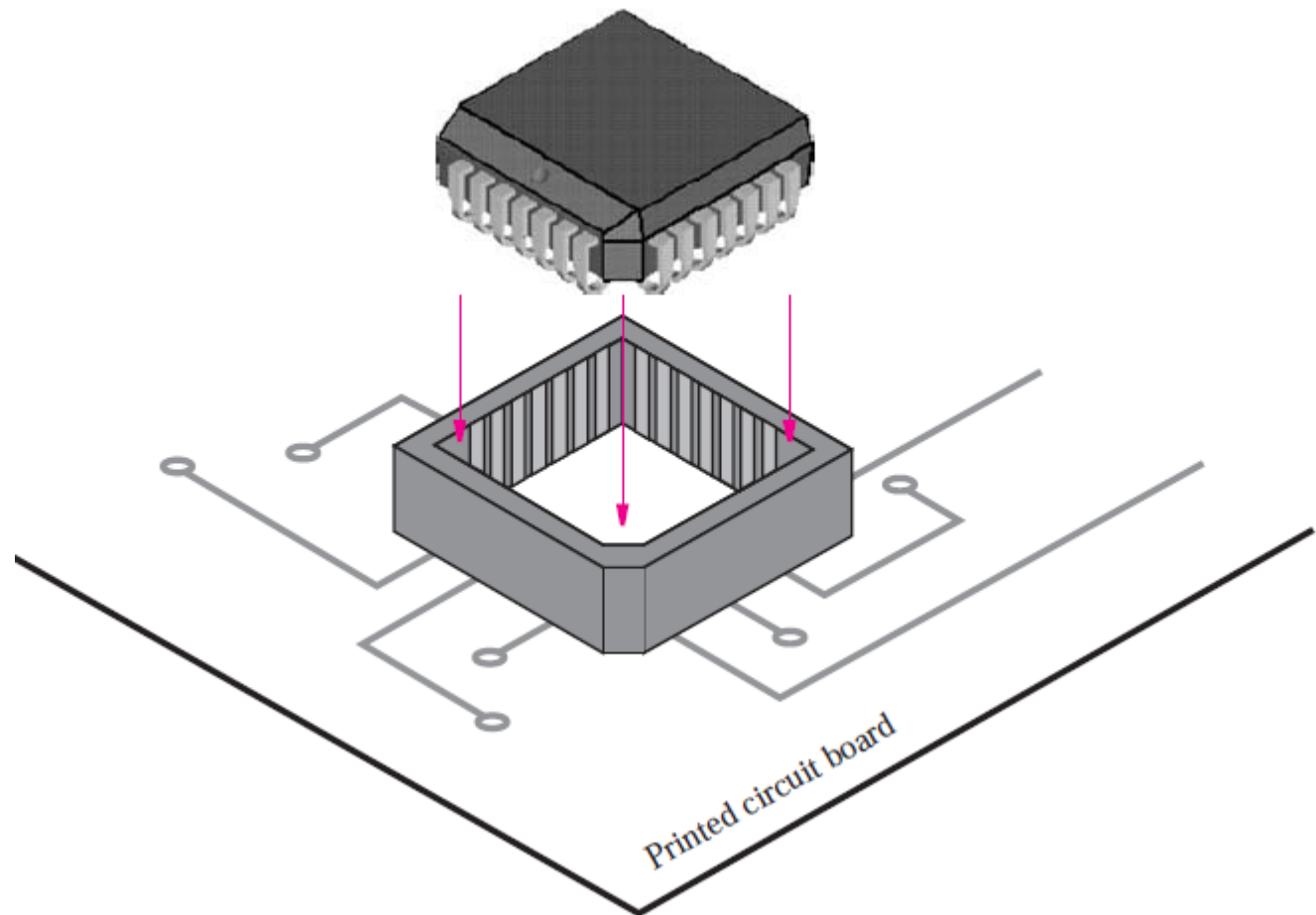


Figura 31. Empacotamento de um PLCC (plastic -leaded chip carrier) com soquete

Complex programmable logic device (CPLDs)

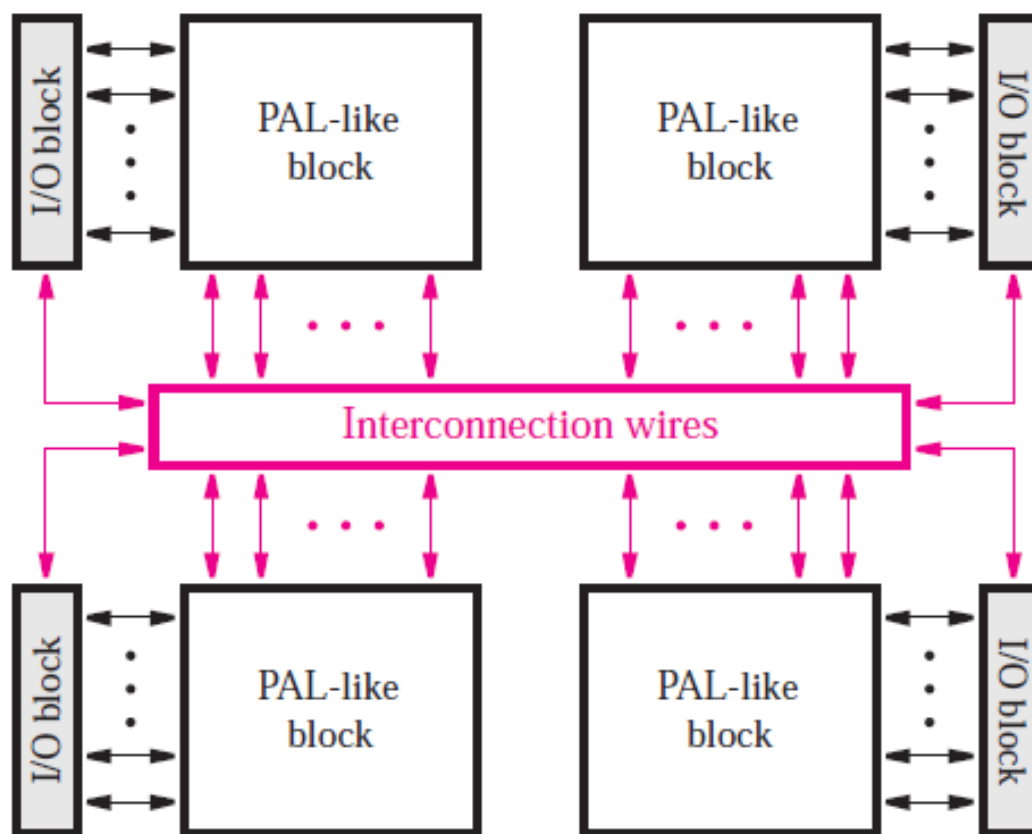


Figura 32. Estrutura de um dispositivo lógico programável complexo (CPLD)

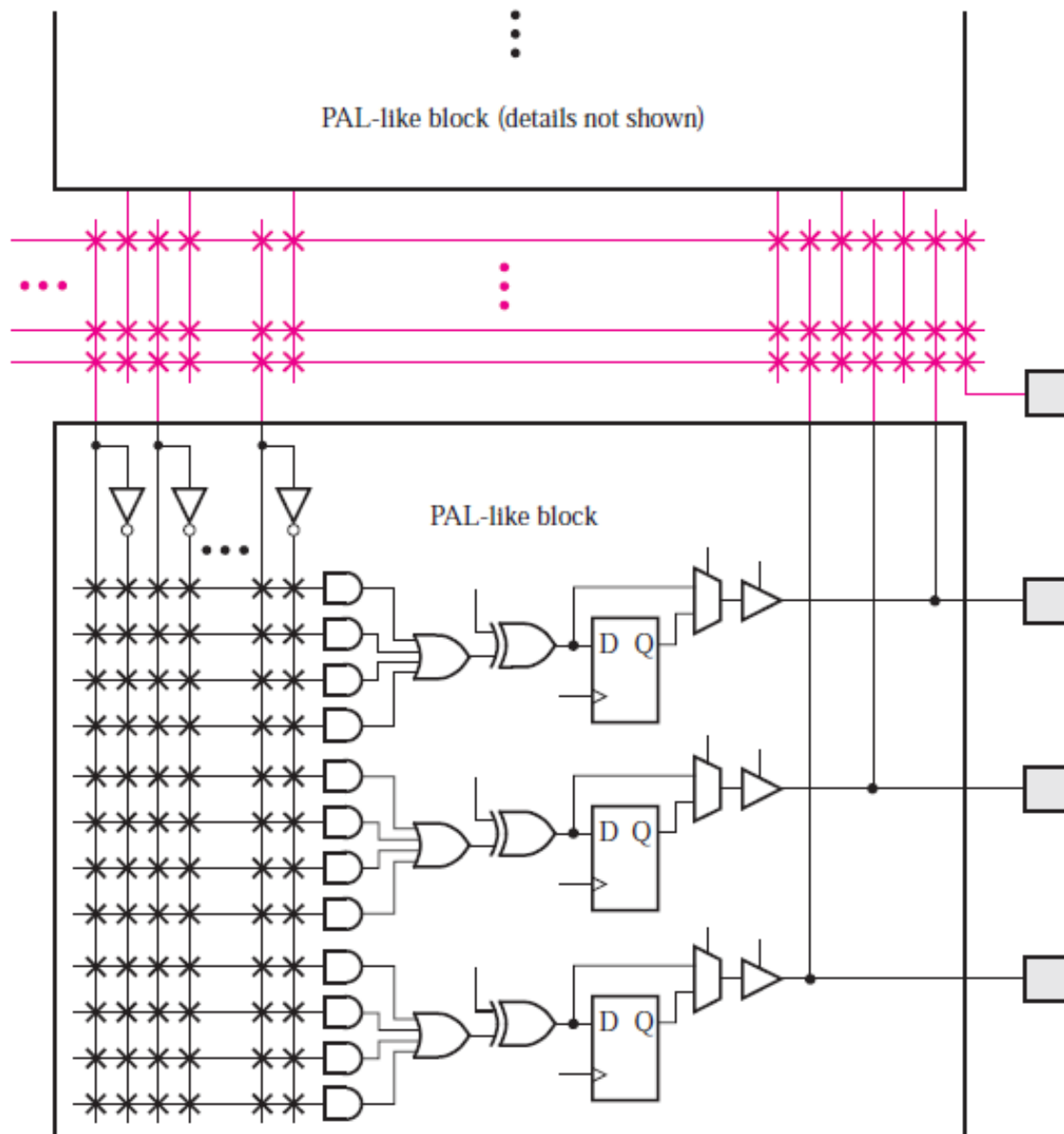
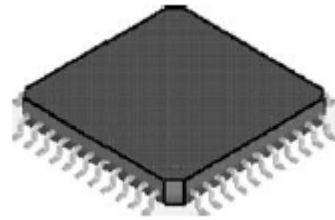
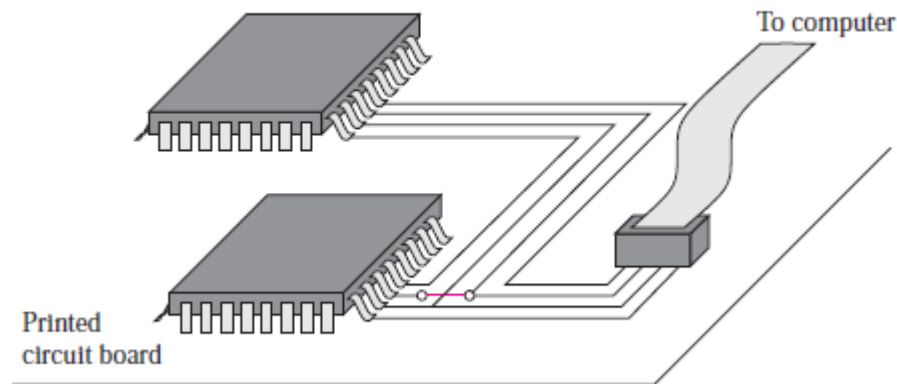


Figura 33. Uma seção do CPLD da figura 32



(a) Empacotamento QFP (Quad flat Pack) de CPLD



(b) JTAG programming

Figura 34. Empacotamento de um CPLD e programação de um CPLD

Field-programmable gate array (FPGA)

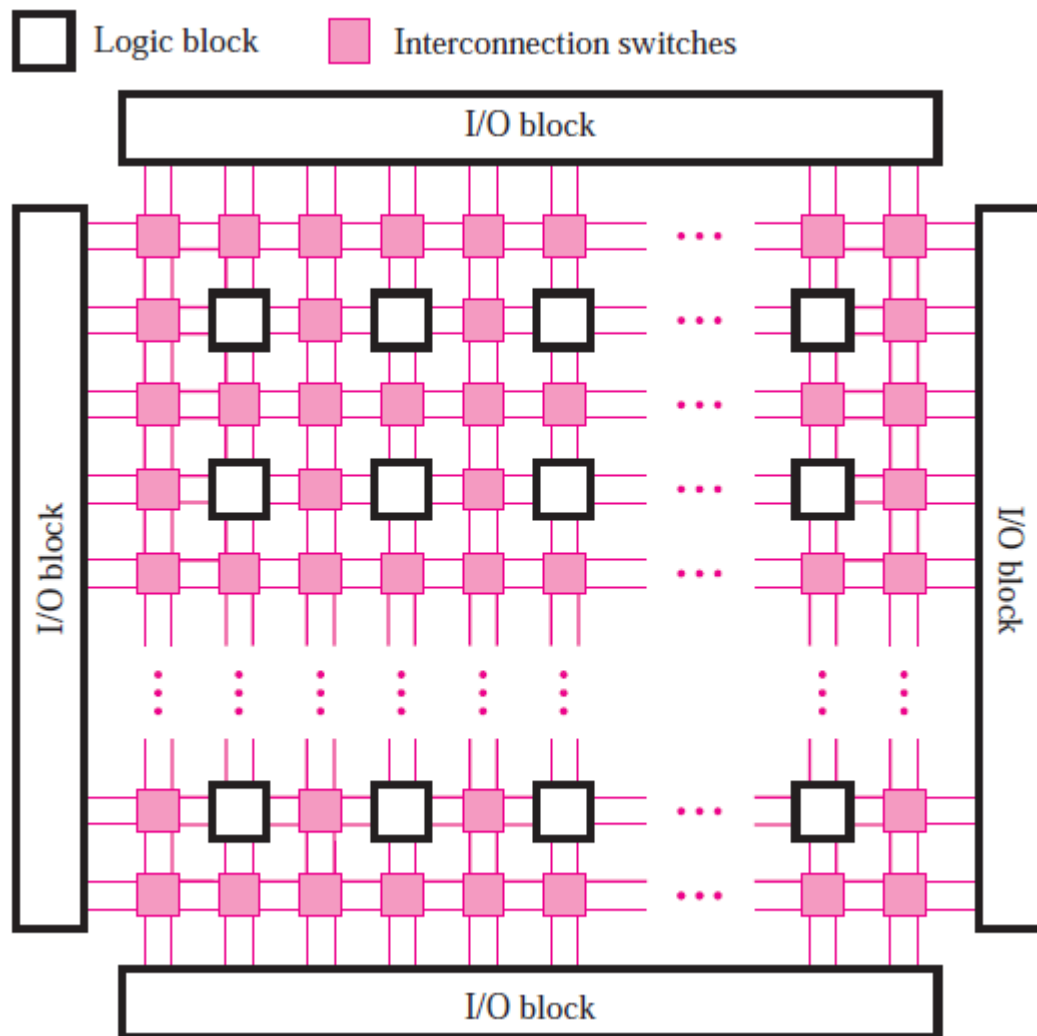


Figura 35. Estrutura geral de um FPGA

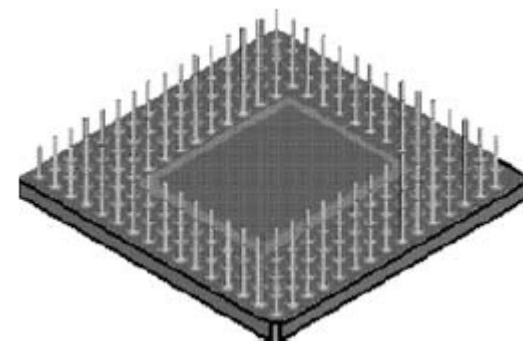
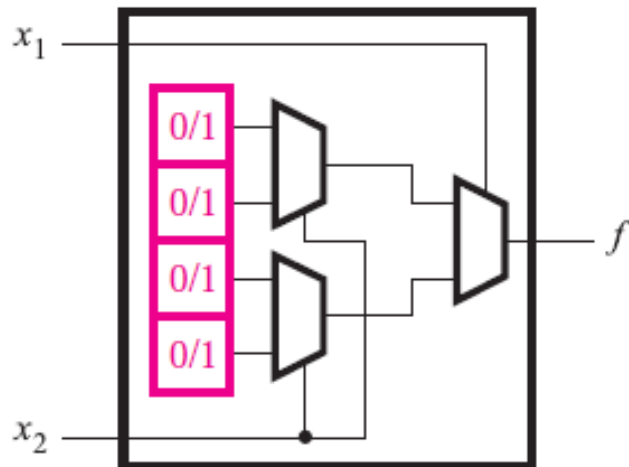


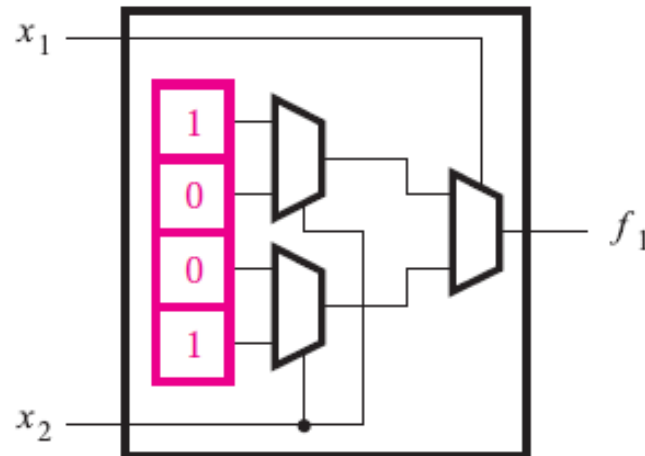
Figura 36. Empacotamento PGA
(Pin grid array)



(a) Circuito para uma LUT de 2 entradas

x_1	x_2	f_1
0	0	1
0	1	0
1	0	0
1	1	1

$$(b) f_1 = \bar{x}_1\bar{x}_2 + x_1x_2$$



(C) Conteúdo da célula de armazenamento na LUT

Figura 37. Lookup table de 2 entradas (LUTS)

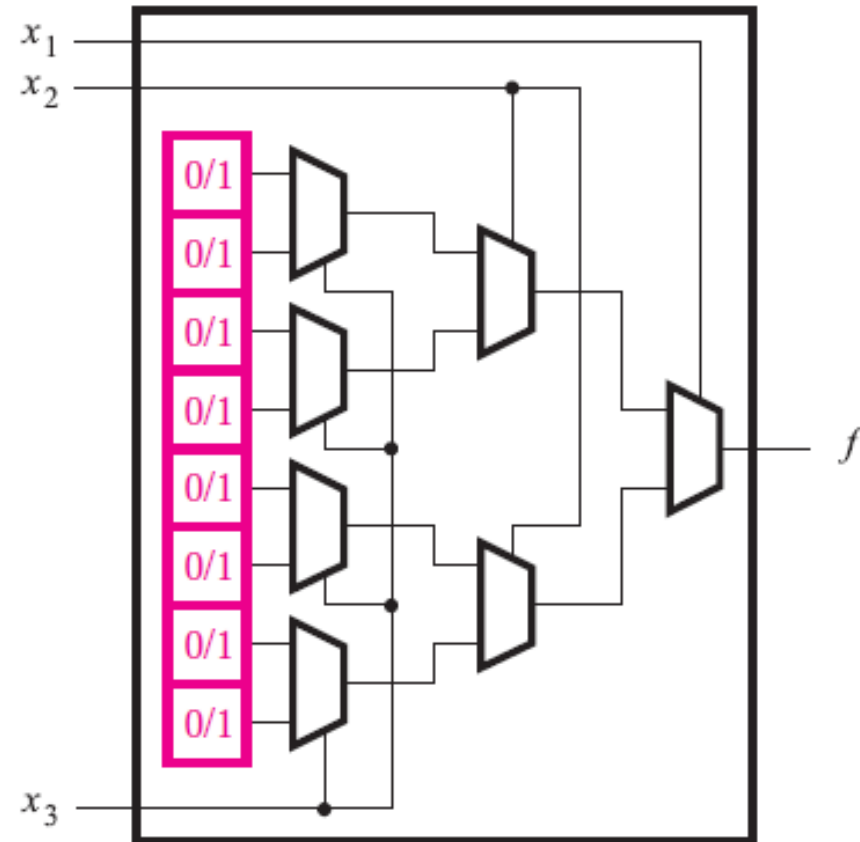


Figura 38. Lookup table de 3 entradas (LUTS)

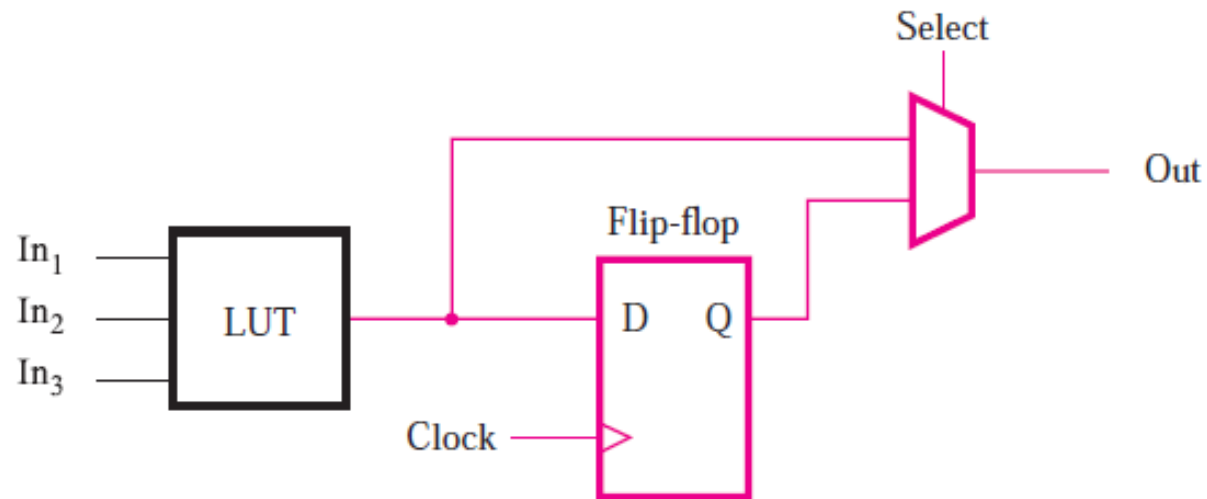


Figura 39. Inclusão de um flip-flop em um bloco lógico de um FPGA

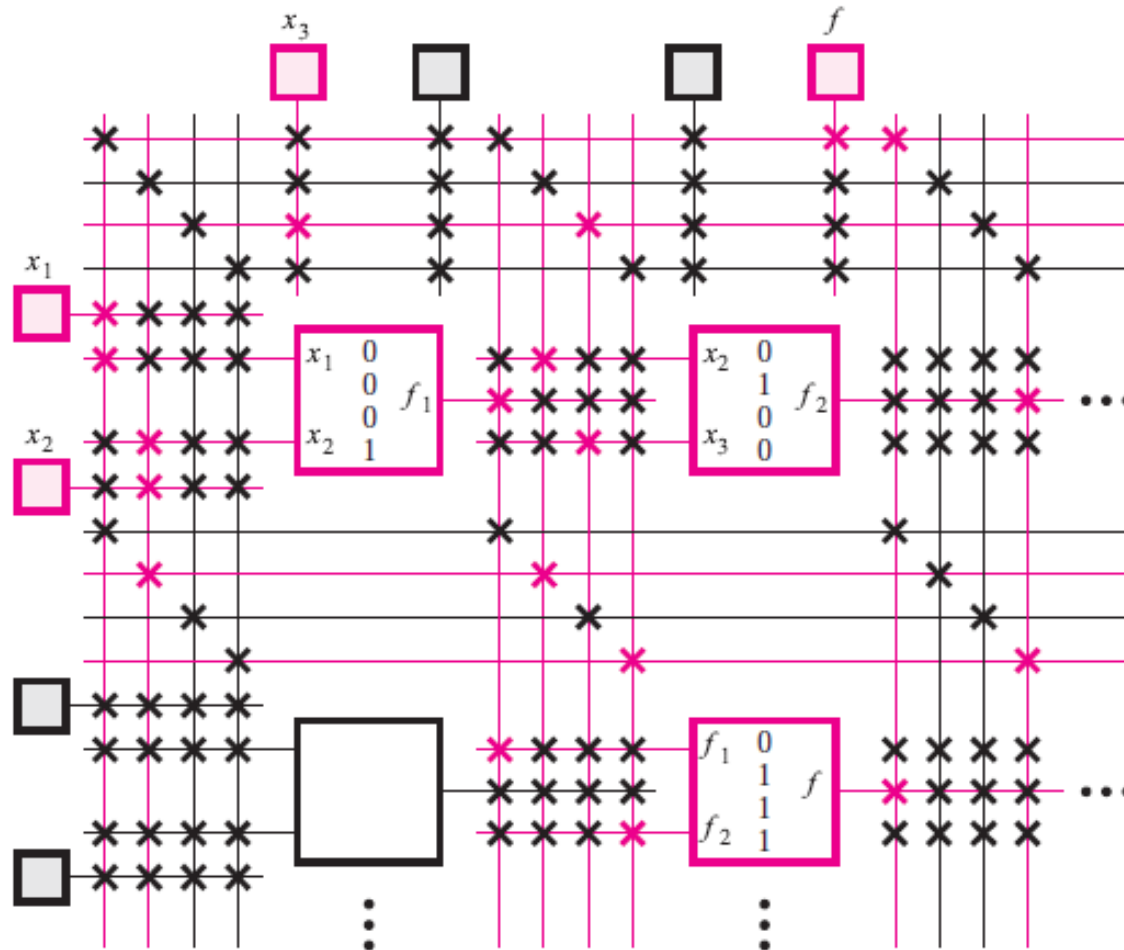


Figura 40. Uma seção de um FPGA programado

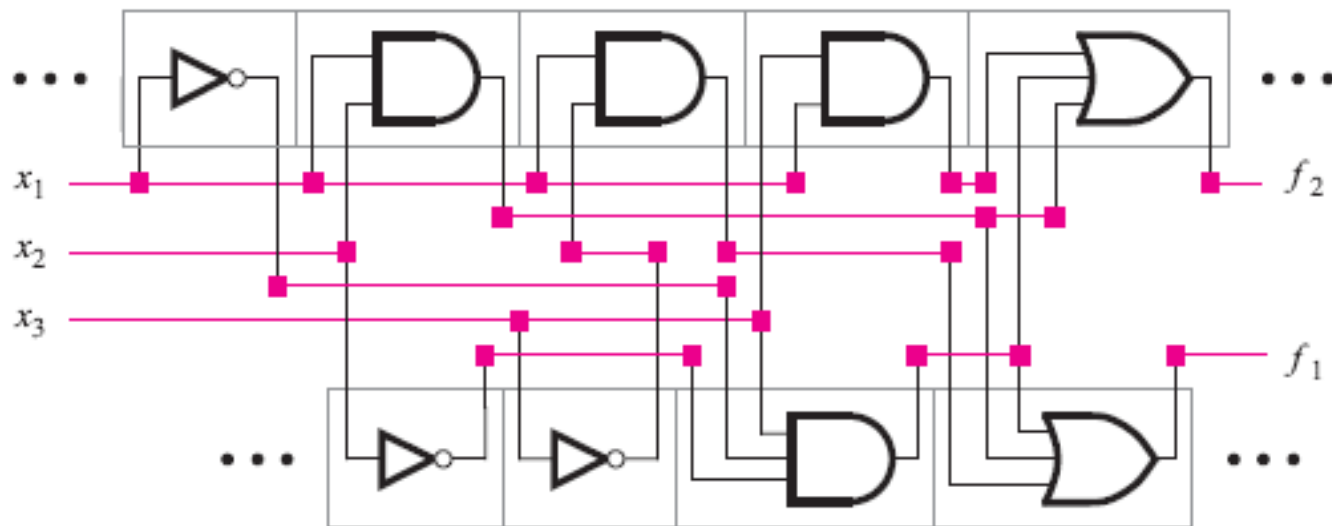
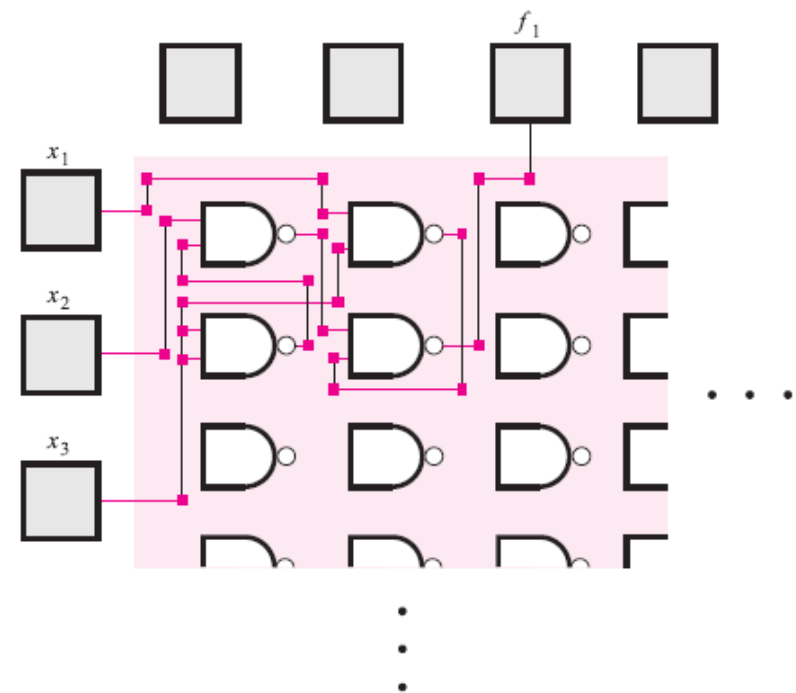
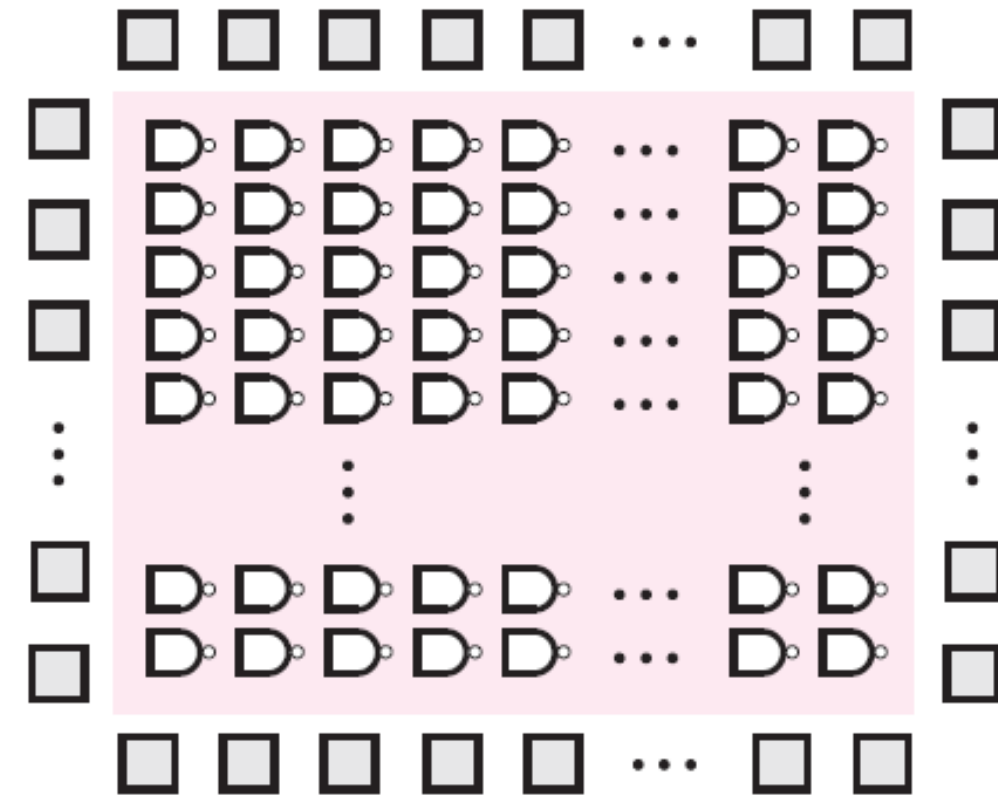
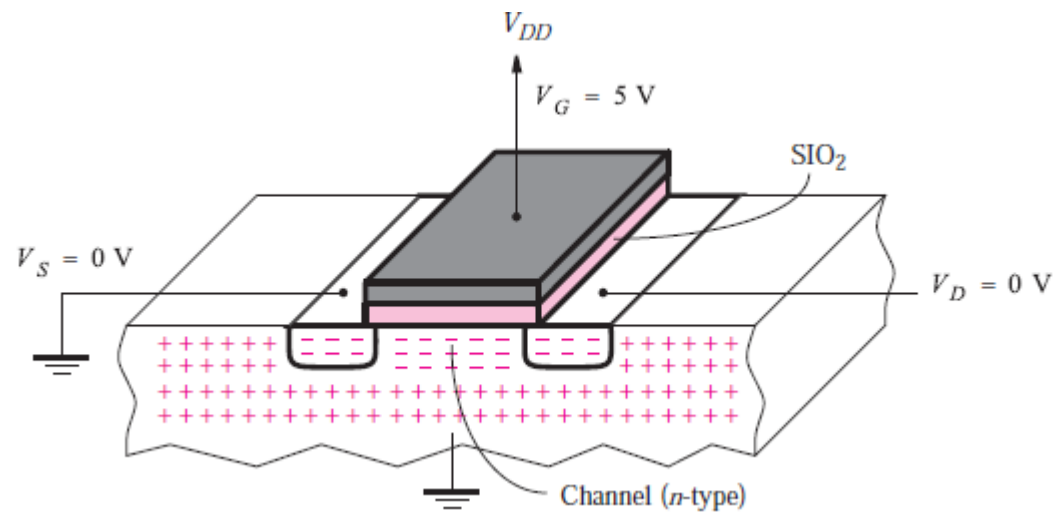
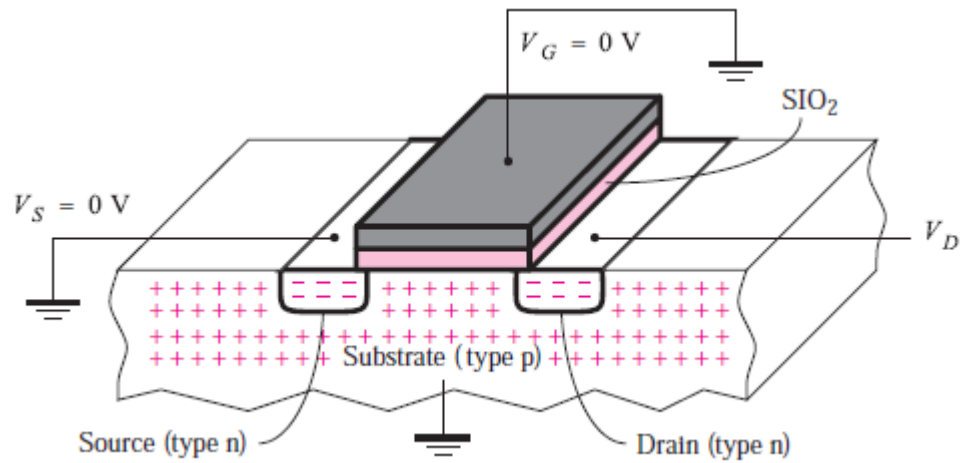
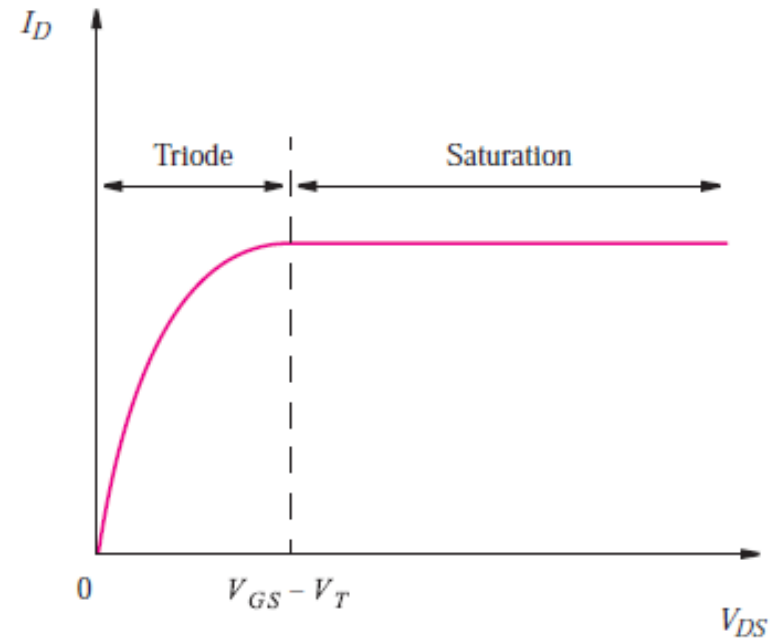
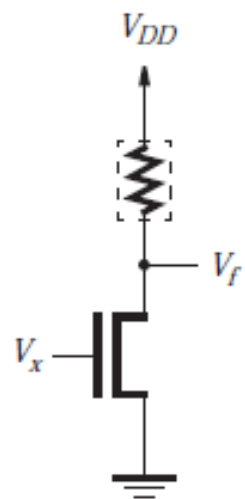


Figura 41.

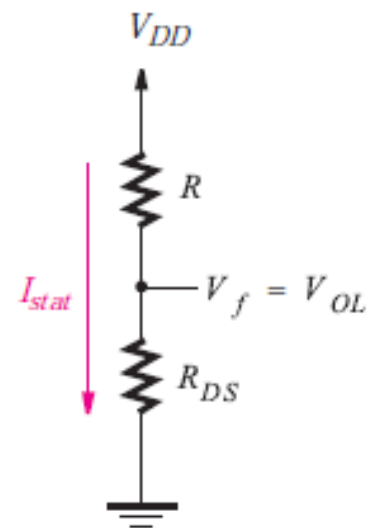


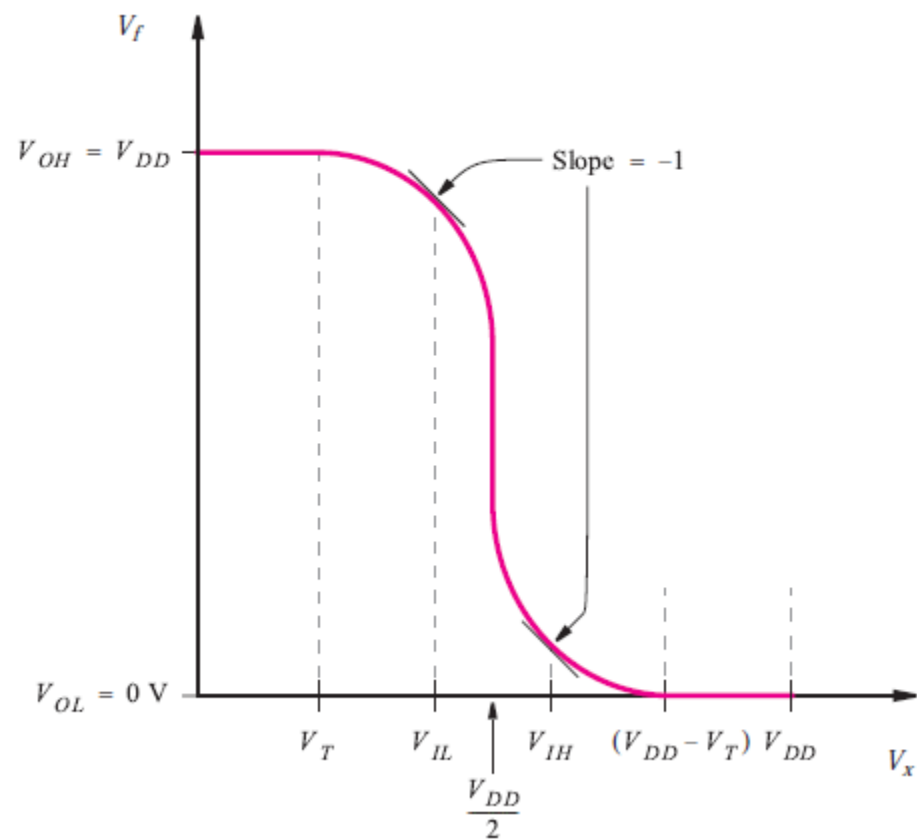


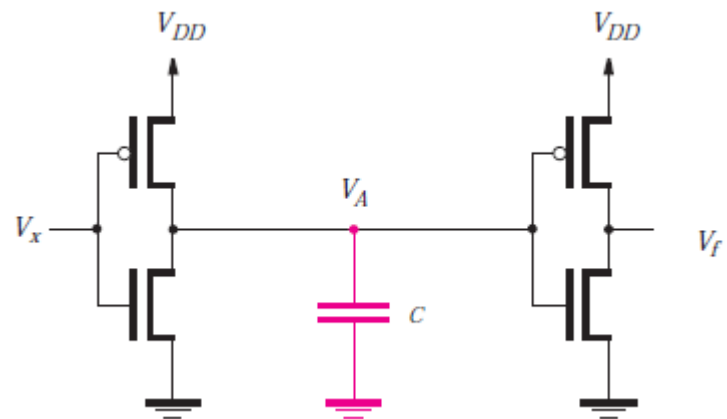
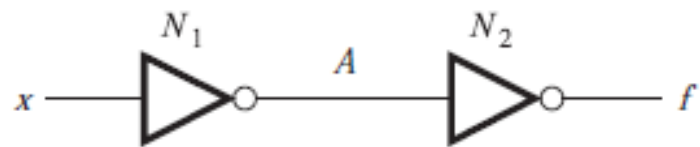


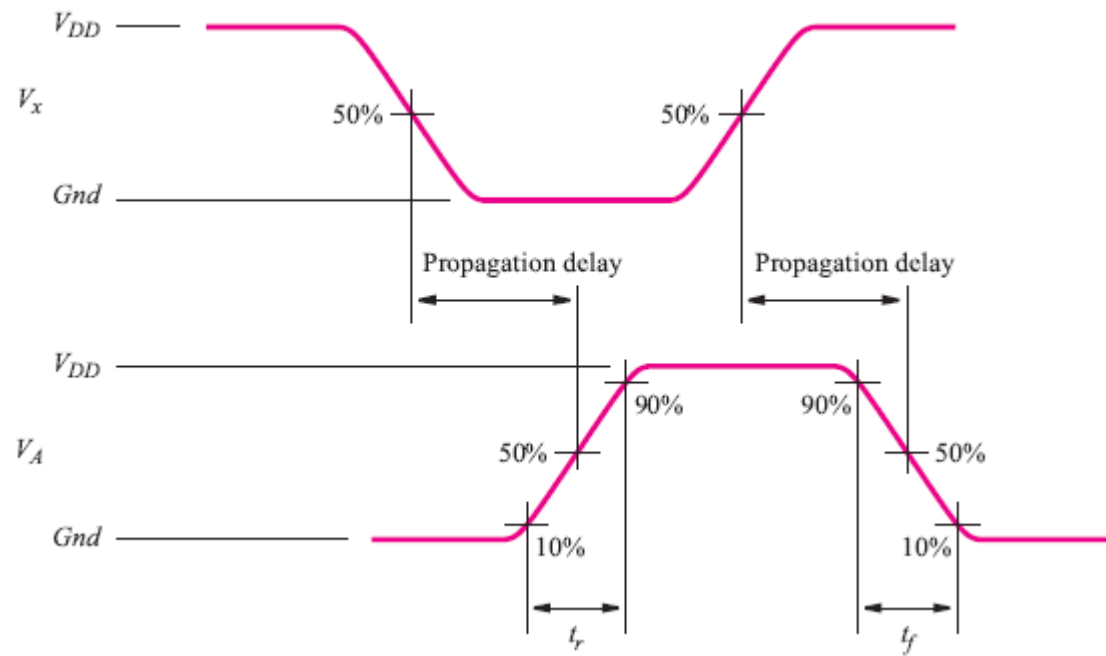


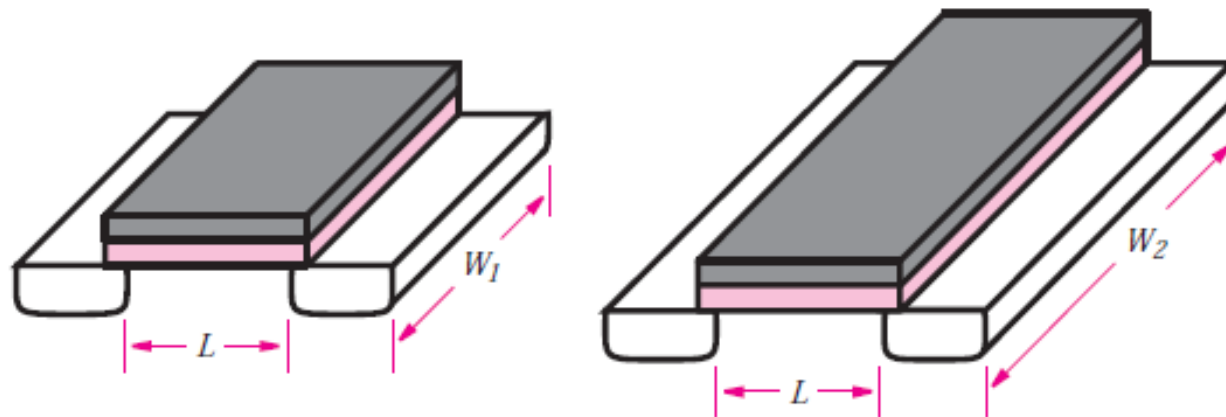
(a) NMOS NOT gate

(b) $V_x = 5\text{ V}$



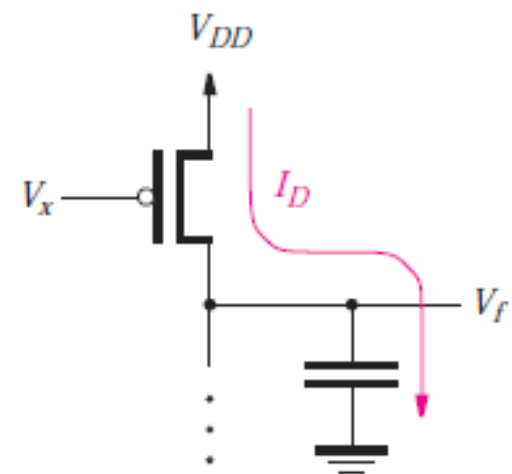
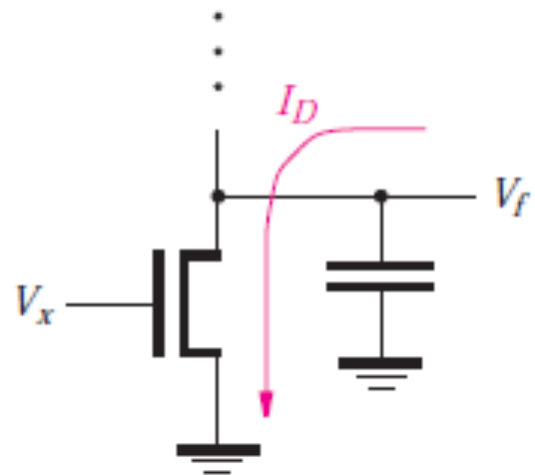


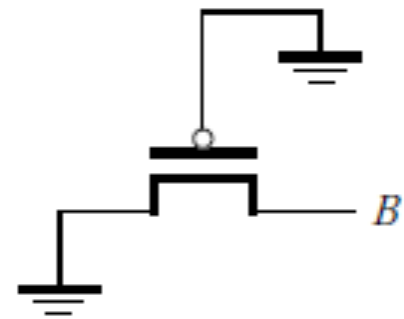
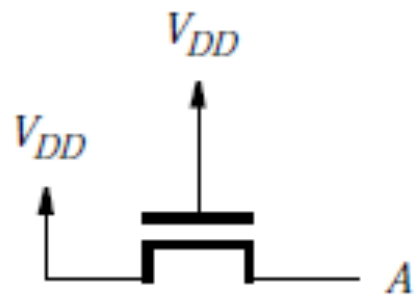


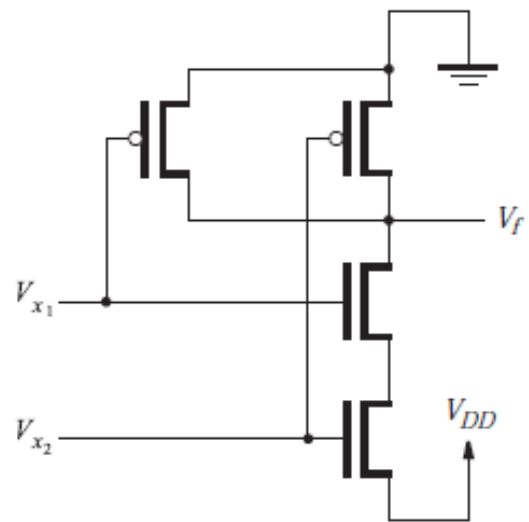


(a) Small transistor

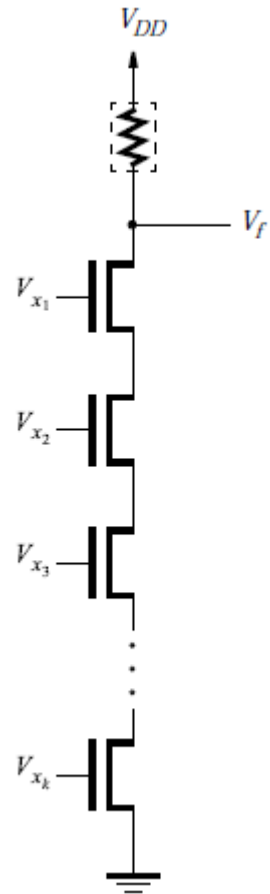
(b) Larger transistor

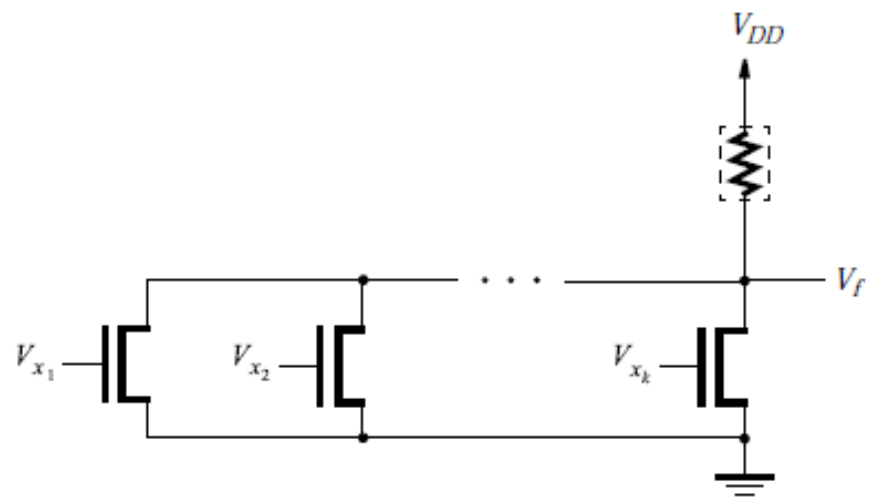


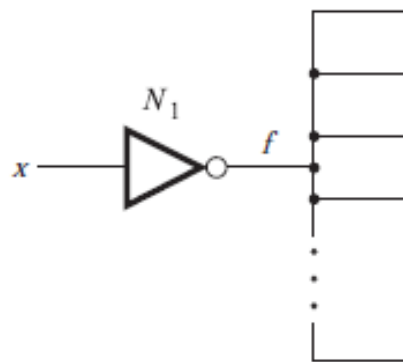




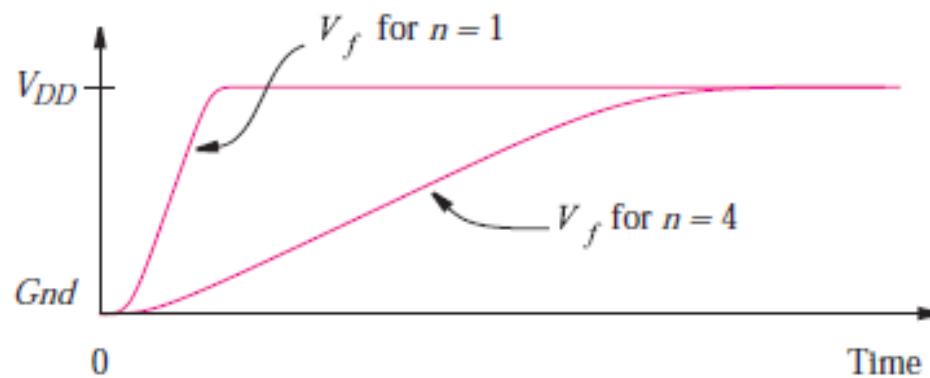
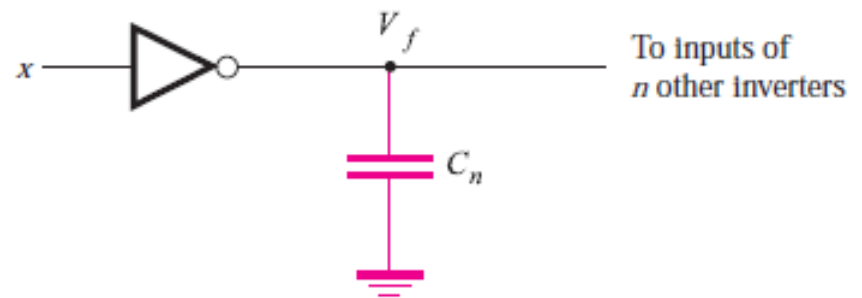
Logic value		Voltage	Logic value
x_1	x_2	V_f	f
0	0	1.5 V	0
0	1	1.5 V	0
1	0	1.5 V	0
1	1	3.5 V	1

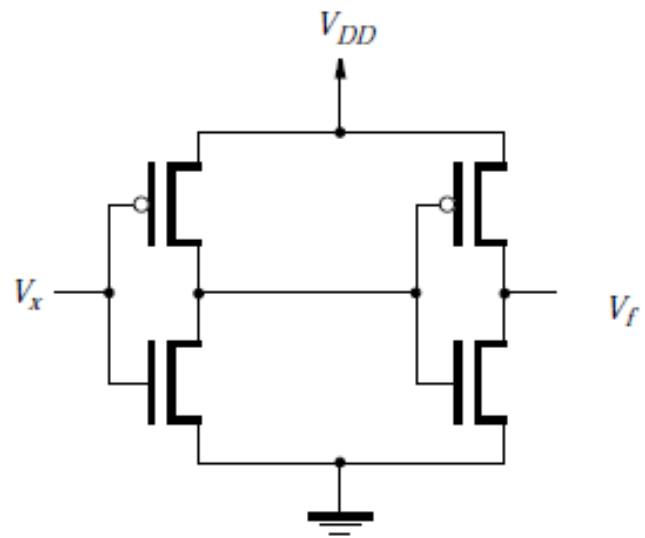


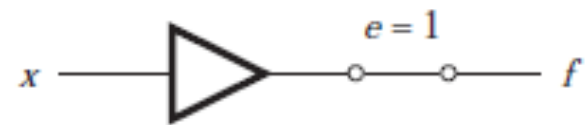
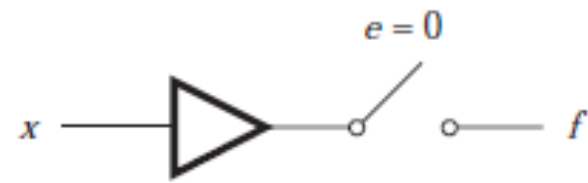
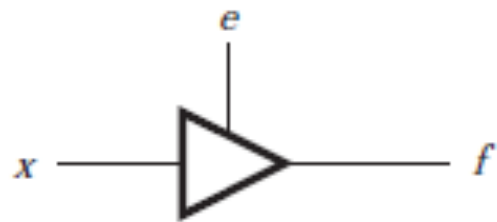




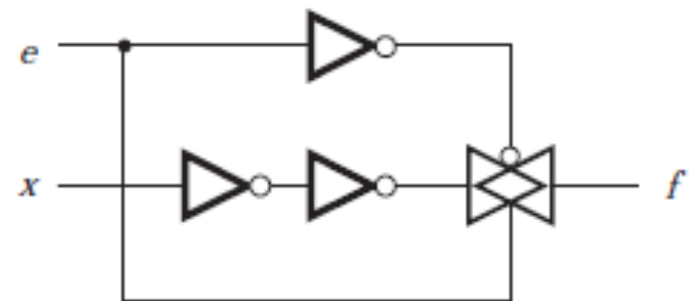
To inputs of
 n other inverters

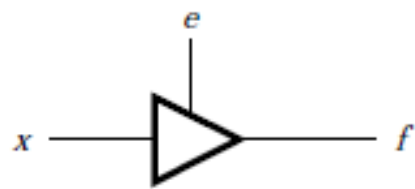




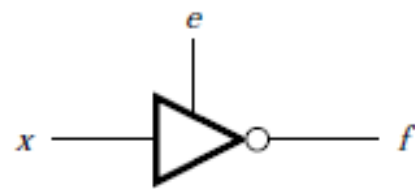


e	x	f
0	0	Z
0	1	Z
1	0	0
1	1	1

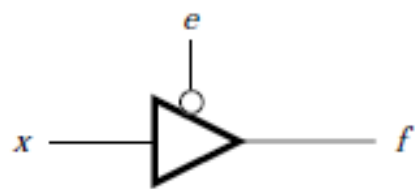




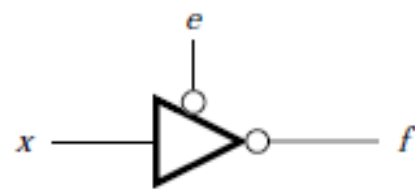
(a)



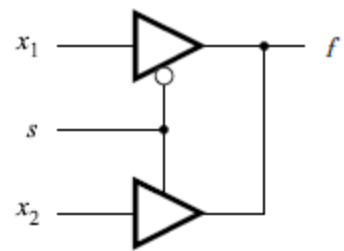
(b)

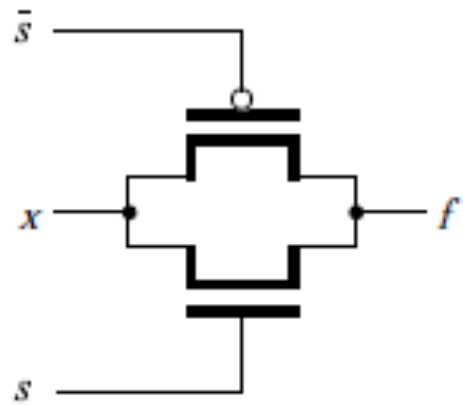


(c)

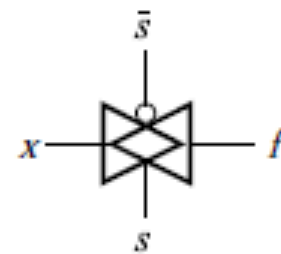
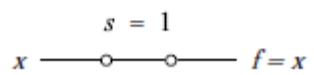
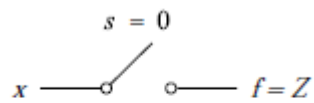


(d)

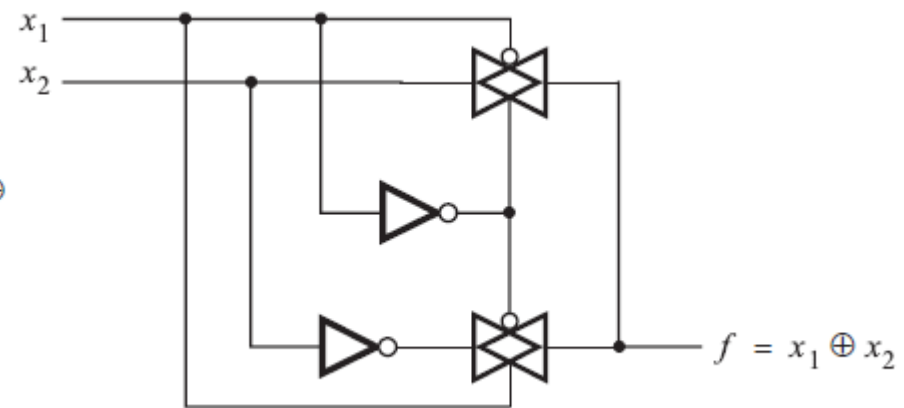
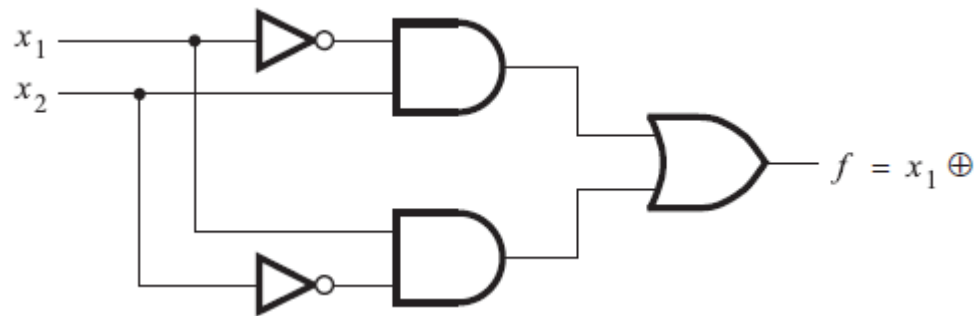


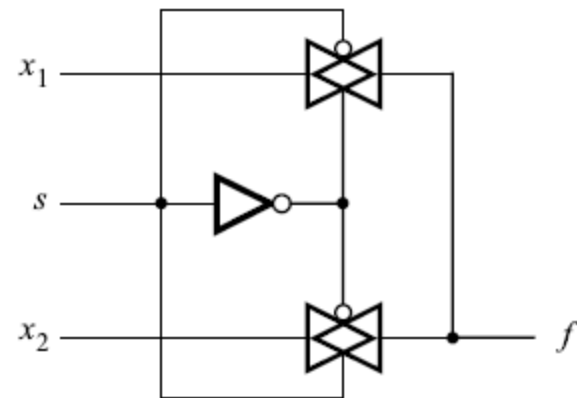


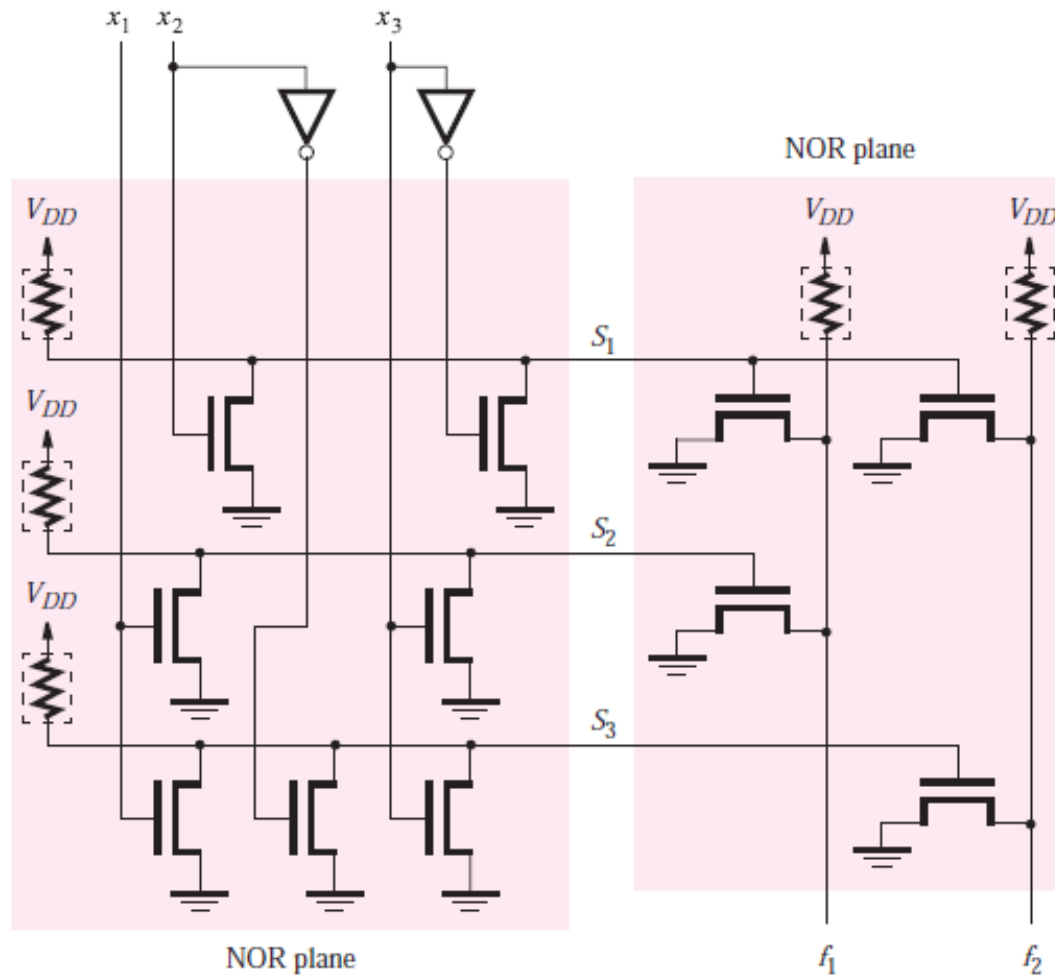
s	f
0	Z
1	x

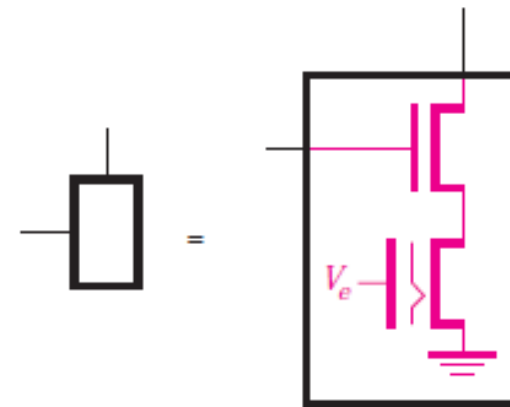
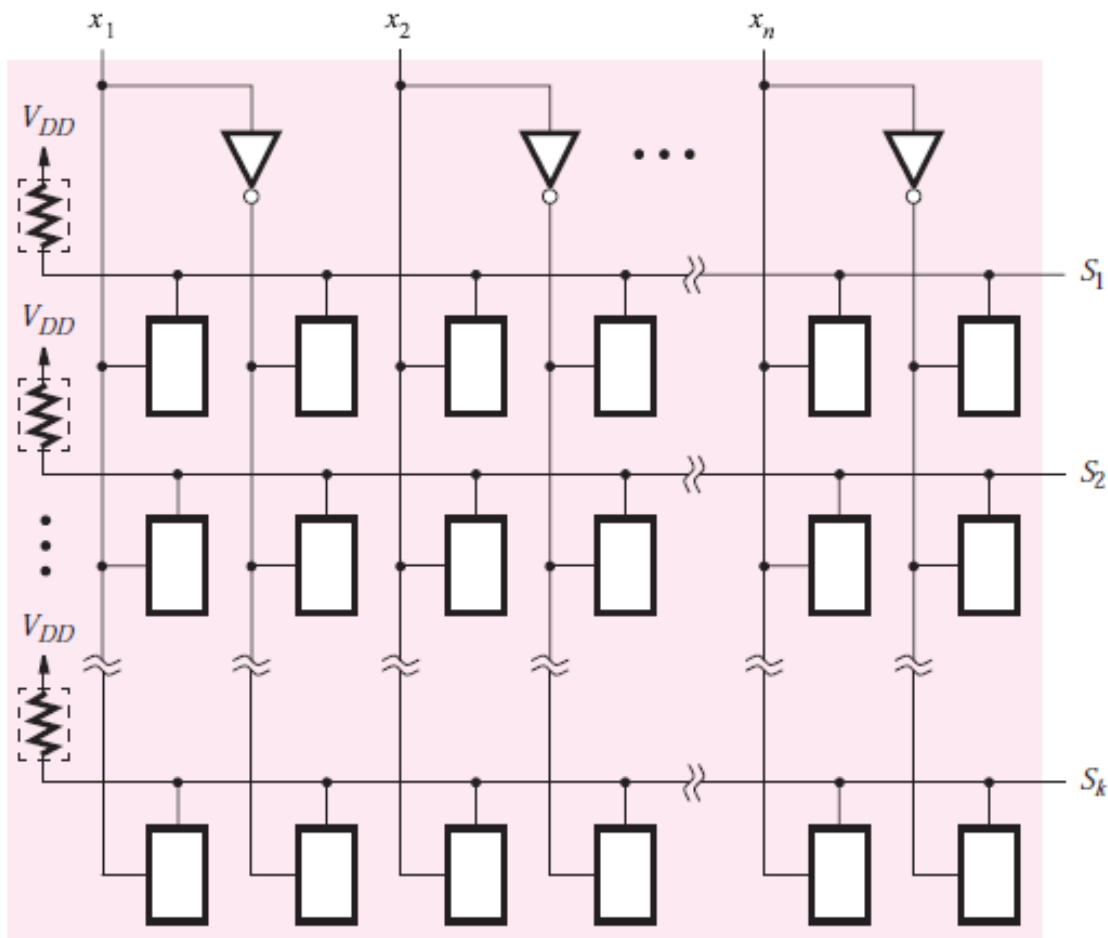


x_1	x_2	$f = x_1 \oplus x_2$
0	0	0
0	1	1
1	0	1
1	1	0

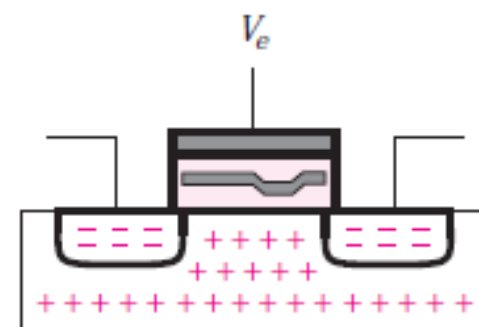








(b) A programmable switch



(c) EEPROM transistor

