



Projeto *ELD Simple Processor*

Disciplina: Laboratório de Elementos de Lógica Digital (1/2013)

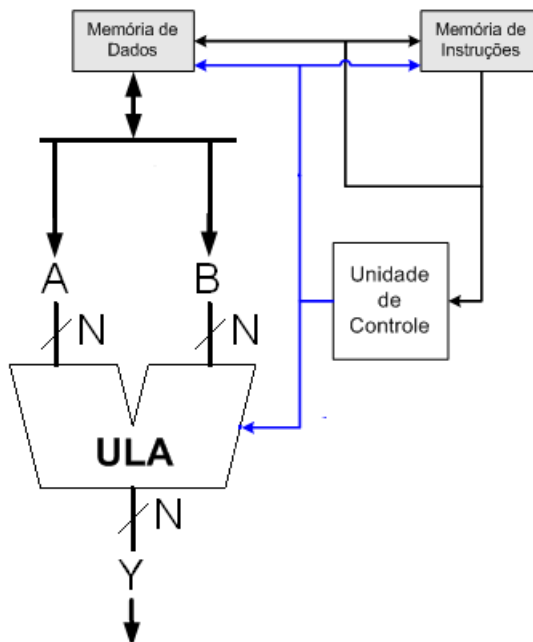
Prof.: Dr. Vanderlei Bonato

Estagiário PAE: Me. Bruno de Abreu Silva

O objetivo deste trabalho é implementar um processador que possui cinco componentes básicos: ULA, Unidade de Controle, Memória de Dados, Memória de Instruções e Exibição dos resultados produzidos.

Uma Unidade Lógica e Aritmética (ULA) combina uma variedade de operações lógicas e matemáticas dentro de uma única unidade. Por exemplo, uma ULA típica pode realizar adição, subtração, comparação de magnitude e operações AND e OR. A figura a seguir apresenta um diagrama simplificado do *ELD Simple Processor* com entrada e saída de N-bit na ULA e um sinal de controle que especifica a operação a realizar (Unidade de Controle). Os dados A e B são obtidos da memória de dados. A saída da operação executada é obtida por Y.

Os sinais de controle da ULA são gerados pela unidade de controle de acordo com a instrução a ser executada (obtida da memória de instruções). A unidade de controle também pode gerar sinais adicionais para o controle dos componentes externos a ULA que estão integrados ao caminho de dados, como a carga/escrita de dados em registradores/memórias externas e etc.



A ULA realizará as operações descritas na Tabela 1. Os dados A, B e Y deverão ser de 8 bits cada, e a ULA deverá suportar operações em complemento de 2. O status do resultado das operações deve ser indicado de acordo com o seguinte registrador de *flags*:

N	Z	V
---	---	---

N: Ativo quando o resultado da operação for negativo

Z: Ativo quando o resultado da operação for zero

V: Ativo quando a operação causou overflow

Tabela 1: Conjunto mínimo de instruções da ULA

<i>Operação</i>	<i>Descrição</i>	<i>Opcode</i>
NOT	$Y = \text{NOT } A$	00000
AND	$Y = A \text{ AND } B$	00001
OR	$Y = A \text{ OR } B$	00010
XOR	$Y = A \text{ XOR } B$	00011
ADD	$Y = A + B$	00100
SUB	$Y = A - B$	00101
INC	$Y = A + 1$	01000
DEC	$Y = A - 1$	01001
SLL n	Shift Left Logical	10100
SLA n	Shift Left Arithmetic	10101
SRL n	Shift Right Logical	10110
SRA n	Shift Right Arithmetic	10111

As memórias deverão ser implementadas utilizando os componentes de memória ROM existentes no Quartus II e trabalhados nas aulas de laboratório.

A unidade de controle deve ser implementada de forma que a cada vez que o usuário aperte um botão pré-definido da placa DE2-70, a próxima instrução da memória de instruções é lida e os dados da memória de dados são processados, gerando assim o resultado da operação.

Para exibir os resultados, o projeto deve exibir o conteúdo de A, B e Y usando os displays de sete segmentos da placa, e as instruções lidas assim como os sinais N, Z e V também devem ser exibidos (com LEDs e/ou com o display de sete segmentos).

O trabalho deverá ser desenvolvido por grupos contendo no máximo 4 alunos. Deverá ser entregue um CD contendo o relatório final de acordo com o modelo disponível na página da disciplina mais os arquivos do projeto desenvolvido no Quartus II.

O trabalho deverá ser entregue **impreterivelmente até o dia 18/06/2012 pelas DUAS TURMAS**. Não serão aceitos trabalhos após esta data.

As apresentações irão ocorrer nos dias 18/06 para a turma 1 e 25/06 para a turma 2. Na apresentação, cada grupo irá mostrar para o professor a execução do hardware para um conjunto de instruções que serão carregadas na memória. A apresentação do trabalho é muito importante para a nota, todos os alunos do grupo deverão estar presentes. A ausência de algum membro do grupo sem a devida justificativa, resultará em ZERO para tal aluno.